

# آموزش استفاده از نرمافزار Xilinx ISE Design Suite v14.7

تهيه و تنظيم: على عباسى

این آموزش در دانشگاه سیستان و بلوچستان جهت اهداف آموزشی، غیر تجاری و استفادهی رایگان تهیه گردیده است. تمامی علائم تجاری، لوگوها، و نرمافزارهای مورد استفاده در این آموزش جزء داراییهای شرکت Xilinx یا دیگر شرکای تجاری آن میباشد.

نسخەي فايل	تاريخ آخرين ويرايش
١/٨	بهمن ۱۳۹۹

با تشکر ویژه از دکتر محمدحسین سرگلزائی، مدیریت گروه مهندسی کامپیوتر دانشگاه سیستان و بلوچستان، جهت کمک در تهیه و انتشار این محتوای آموزشی.

## فهرست مطالب

1	مقدمه و معرفی نرمافزار
۲	نصب نرمافزار
۹	آشنایی با محیط نرمافزار
۱۰	ایجاد یک پروژهی جدید
۱۳	اضافه کردن Source به پروژه
١٧	سنتز
۲۲	پیادەسازى (ترجمه _ جايابى _ مسيريابى)
۲۳	شبيەسازى رفتارى
۲٦	شېيەسازى زمانى
۲٧	استفاده از نمایشگر شکل موج نرمافزار Xilinx ISIM
۳۰	گزارش طراحی
۳۱	تولید فایل برنامەریزی
۳۲	برنامهریزی تراشه به کمک نرمافزار ISE iMPACT
	1

۱. مقدمه و معرفی نرمافزار

شرکتهای تولید کنندهی تراشههای برنامه پذیر، برای سنتز طرحها و برنامه ریزی تراشههای خود، نرم افزارهای خاصی را تولید و معرفی میکنند. دو مورد از معروف ترین شرکتهای تولیدکننده ی تراشههای برنامه پذیر FPGA<sup>1</sup>، شرکتهای Altera و Xilinx هستند که هر کدام از آنها نرم افزارهای انحصاری خود را برای این کار دارند. به عنوان مثال، اگر شما تصمیم به برنامه ریزی یک تراشه ی FPGA از سری Cyclone 4 که توسط شرکت Altera تولید می شود را دارید، می بایست از نرم افزار تولید شده توسط این شرکت یعنی Quartus استفاده نمایید.

مشابه شرکت Altera، شرکت Xilinx نیز نرمافزار انحصاری خودش را برای برنامهریزی تراشههایش تولید کرده است. نرمافزار ISE<sup>2</sup> Design Suite توسط شرکت Xilinx برای برنامهریزی تراشههای FPGA، "CPLD" و برخی دیگر تراشههای برنامهپذیر این شرکت از سال ۲۰۱۰ میلادی به بازار عرضه شد و آخرین نسخهی آن در اواخر سال ۲۰۱۳ میلادی با شماره نسخهی ۱٤.۷ در دسترس عموم قرار گرفت. از سال ۲۰۱۲، شرکت Xilinx نرمافزار دیگری مشابه ISE تحت عنوان Vivado را نیز عرضه کرد و پس از آن در سال ۲۰۱۳ توسعه ینزمافزار ISE را متوقف نمود. تفاوت اصلی این دو نرمافزار، جدا از توانمندی بیشتر نرمافزار مافزار می از ۲۰۱۳ توسعه ینزمافزار بعد است که توسط آنها پشتیبانی می شود. به صورت کلی، می توان گفت نرمافزار Spata 7 تها از سری هفتم تراشههای است که توسط آنها پشتیبانی می شود. به صورت برخی اعضای خانوادههای این Wivado تنها از سری هفتم تراشه که FPGA شرکت Xilinx ماند 7 میلاد 7 در حالی که پشتیبانی در خانوادههای خانواده ای کاری تنها از سری هفتم تراشه می در مافزار ISE با می توشته شده است)، در حالی که پشتیبانی

در آموزش پیش رو به توضیح موارد ابتدایی استفاده از نرمافزار Xilinx ISE Design Suite پرداخته خواهد شد. اگرچه این آموزش بر اساس نسخهی ۱٤.۷ تهیه گردیده است، با این حال میتواند برای استفاده از نسخههای پیشین این نرمافزار نیز مفید باشد. نسخه فوق قابلیت پشتیبانی از Nilinx System Generator for DSP v14.7 را نیز داشته که به کاربران امکان تولید بلوکهای آمادهی مربوط به پردازش سیگنالهای دیجیتال را میدهد. بلوکهای تولیدشده با این ایزار امکان شبیهسازی و تحلیل در نرمافزار و MathWorks MATLAB و در نسخههای 2012ه رو 2013، و 2013 از آن را خواهند داشت. توجه داشته باشید که برای استفاده از این قابلیت باید ایزارهای Simulink و Simulink Fixed-Point Designe و Simulink به همراه

<sup>&</sup>lt;sup>1</sup> Field-programmable Gate Array

<sup>&</sup>lt;sup>2</sup> Integrated Synthesis Environment

<sup>&</sup>lt;sup>3</sup> Complex Programmable Logic Device

#### ۲. نصب نرمافزار

نرمافزار ISE دارای نسخههای متعددی می باشد که می توان آنها را از سایت شرکت Xilinx خریداری کرده و فایل نصب آن را دانلود و یا در قالب دیسک دریافت نمود. همچنین این نرمافزار دارای نسخهای رایگان با عنوان WebPACK نیز می باشد که امکانات کمتری نسبت به دیگر نسخهها در اختیار کاربر می گذارد، اما برای اهداف آموزشی در دانشگاهها کاملاً مناسب است.

در لیست زیر سیستمهای عاملی که به صورت رسمی از نسخهی ۱٤.۷ این نرمافزار پشتیبانی میکنند آورده شده است (البته امکان اجرای نرمافزار فوق بر روی سیستمهای عامل دیگر نیز با اعمال برخی تغییرات وجود دارد).

- Microsoft Windows 10 (32 and 64 bits)
- SUSE Linux Enterprise 11 (32 and 64 bits)
- Red Hat Enterprise Workstation 4, 5, and 6 (32 and 64 bits)

پس از دریافت فایل های نصب نرمافزار و اجرای فایل اصلی نصب که معمولاً "xsetup.exe" نام گذاری شده است، پنجرهی شکل ۱ برای شما باز خواهد شد. برای ادامه، کلید "Next" را انتخاب کنید.



**شکل ۱**. صفحهی ابتدایی نصب نرمافزار

با فشردن کلید "Next"، شما وارد صفحههای پذیرفتن قوانین در دو صفحه (شکلهای ۲ و ۳) خواهید شد که برای نصب نرمافزار، ملزم به پذیرفتن آنها هستید. پس از انتخاب موارد مشخص شده، گزینهی "Next" را انتخاب کنید.



شکل ۳. صفحهی دوم پذیرفتن مقررات استفاده از نرمافزار

در صورتی که قوانین را پذیرفته باشید، وارد صفحهی شکل ٤ خواهید شد تا نسخهای از نرمافزار ISE که قصد نصب آن را دارید انتخاب کنید. در این آموزش ما از نسخهی WebPack نرمافزار که یک نسخهی رایگان است، استفاده خواهیم نمود.



**شکل ٤**. انتخاب نسخهی نرمافزار برای نصب

No.

پس از انتخاب نسخهی نرمافزار، مشابه شکل ۵ از شما جهت نصب تعدادی افزونه سؤال پرسیده خواهد شد که بسته به نیازتان آنها را انتخاب میکنید. (در صورتی که با این افزونهها آشنایی ندارید، بدون تغییر آنها ادامه دهید.)

همچنین با انتخاب گزینهای که با فلش در شکل نشان داده شده است، نرمافزار هنگام نصب از چند هستهی پردازنده به صورت همزمان استفاده خواهد کرد که روند نصب را تسریع میبخشد. در صورت انتخاب این گزینه پیشنهاد میشود تمامی نرمافزارهایی که باز هستند را ببندید؛ زیرا توان پردازشی سیستم به شدت پایین خواهد آمد.

ISE 14.7 Installer	- 🗆 X
-	Select Installation Ontions
	Select the desired installation options below. Selection of these options may result in additional
NISE -	programs being run at the conclusion of the installation process.
DESIGN SUITE	se multiple CPU cores for faster installation
	Enabling this option will speed up installation but may slow down other active applications.
	Acquire or Manage a License Key
	✓ Install WinPCap for Ethernet Hardware Co-simulation
	Install Cable Drivers
5E 14.7 Installer	
Welcome	
Accept License Agreements	( )
Select Products to Install	
-> Select Installation Options	Select/Deselect All
Select Destination Directory	Description of Acquire or Manage a License Key
Select Destination Directory Installation	Description of Acquire or Manage a License Key
Select Destination Directory Installation	Description of Acquire or Manage a License Key Most Xilinx applications now require a license key file in order to run. If this selection is enabled, the Xilinx License Configuration Manager will be opened in order to assist you either in acquiring
Select Destination Directory Installation	Description of Acquire or Manage a License Key Most Xilinx applications now require a license key file in order to run. If this selection is enabled, the Xilinx License Configuration Manager will be opened in order to assist you either in acquiring a new license file or in managing an existing license file. If this is your first time using Xilinx ISE
Select Destination Directory Installation	Description of Acquire or Manage a License Key Most Xilinx applications now require a license key file in order to run. If this selection is enabled, the Xilinx License Configuration Manager will be opened in order to assist you either in acquiring a new license file or in managing an existing license file. If this is your first time using Xilinx ISE Design Suite 14.7, it is highly recommended that you use this application to acquire or install
Select Destination Directory Installation	Description of Acquire or Manage a License Key Most Xilinx applications now require a license key file in order to run. If this selection is enabled, the Xilinx License Configuration Manager will be opened in order to assist you either in acquiring a new license file or in managing an existing license file. If this is your first time using Xilinx ISE Design Suite 14.7, it is highly recommended that you use this application to acquire or install your license file.
Select Destination Directory Installation	Description of Acquire or Manage a License Key Most Xilinx applications now require a license key file in order to run. If this selection is enabled, the Xilinx License Configuration Manager will be opened in order to assist you either in acquiring a new license file or in managing an existing license file. If this is your first time using Xilinx ISE Design Suite 14.7, it is highly recommended that you use this application to acquire or install your license file.
Select Destination Directory Installation Xopyright (c) 1995-2013 Xilinx, Inc. All rights served. LINX, the Xilinx logo and other designated	Description of Acquire or Manage a License Key Most Xilinx applications now require a license key file in order to run. If this selection is enabled, the Xilinx License Configuration Manager will be opened in order to assist you either in acquiring a new license file or in managing an existing license file. If this is your first time using Xilinx ISE Design Suite 14.7, it is highly recommended that you use this application to acquire or install your license file.
Select Destination Directory Installation Copyright (c) 1995-2013 Xilinx, Inc. All rights searved. ILINX, the Xilinx logo and other designated rands included herein are trademarks of Xilinx.	Description of Acquire or Manage a License Key Most Xilinx applications now require a license key file in order to run. If this selection is enabled, the Xilinx License Configuration Manager will be opened in order to assist you either in acquiring a new license file or in managing an existing license file. If this is your first time using Xilinx ISE Design Suite 14.7, it is highly recommended that you use this application to acquire or install your license file.
Select Destination Directory Installation 200yright (c) 1995-2013 Xilinx, Inc. All rights served. IUNX, the Xilinx logo and other designated rands included herein are trademarks of Xilinx c. All other trademarks are the property of leir respective owners.	Description of Acquire or Manage a License Key Most Xilinx applications now require a license key file in order to run. If this selection is enabled, the Xilinx License Configuration Manager will be opened in order to assist you either in acquiring a new license file or in managing an existing license file. If this is your first time using Xilinx ISE Design Suite 14.7, it is highly recommended that you use this application to acquire or install your license file.
Select Destination Directory Installation Xopyright (c) 1995-2013 Xilinx, Inc. All rights served. LINX, the Xilinx logo and other designated radis included herein are trademarks of Xilinx, c. All other trademarks are the property of left respective owners.	Description of Acquire or Manage a License Key Most Xilinx applications now require a license key file in order to run. If this selection is enabled, the Xilinx License Configuration Manager will be opened in order to assist you either in acquiring a new license file or in managing an existing license file. If this is your first time using Xilinx ISE Design Suite 14.7, it is highly recommended that you use this application to acquire or install your license file.
Select Destination Directory Installation Copyright (c) 1995-2013 Xilmo, Inc. All rights eserved. ILHNO, the Xilmo logo and other designated mask include herein are trademarks of Xilmo, nc. All other trademarks are the property of her respective owners.	Description of Acquire or Manage a License Key Most Xilinx applications now require a license key file in order to run. If this selection is enabled, the Xilinx License Configuration Manager will be opened in order to assist you either in acquiring a new license file or in managing an existing license file. If this is your first time using Xilinx ISE Design Suite 14.7, it is highly recommended that you use this application to acquire or install your license file.

در ادامهی نصب، مشابه شکل ٦، راجع به آدرس نصب نرمافزار و برخی موارد مانند ایجاد میانبر ' از شما پرسیده خواهد شد که با گذر از این صفحه و فشردن کلید "Next"، خلاصهای از تنظیماتی که در فرآیند نصب انتخاب کردهاید، مانند شکل ۷، برایتان نمایان خواهد شد. پس از تأیید نهایی، نرمافزار شروع به نصب خواهد کرد (شکل ۸).

<sup>&</sup>lt;sup>1</sup> Shortcut



شکل ۷. خلاصهای از تنظیمات انتخاب شده برای نصب نرمافزار



**شکل ۸** صفحهی نصب نرمافزار

در حین نصب نرمافزار، ممکن است بسته به سیستم شما، صفحهی نصب تعدادی نرمافزارهای جانبی مانند ++ Microsoft Visual که برای اجرای نرمافزار ISE اجباری هستند، باز شوند. فرآیند نصب این موارد را نیز طی کنید.

پس از پایان مراحل فوق و نصب کامل نرمافزار، در صورتی که خطایی وجود نداشته باشد، پنجرهای جدید با نام "Xilinx License Configuration Manager" برای شما باز خواهد شد تا فایل مجوز 'که یک فایل با فرمت "ic" و یا "xml" میباشد را برای نرمافزار مشخص کنید (این کار برای جلوگیری از سوء استفادههای احتمالی حتی برای نسخههای رایگان اجباری است'). همچنین در صورتی که این پنجره به صورت خودکار باز نشد، می توانید عبارت "Manage Xilinx Licenses" را در میان نرمافزارهای موجود در کامپیوتر خود جستجو کنید.

برای ثبت مجوز، ابتدا فایل مجوز را در یک محل دلخواه در همان درایوی که نرمافزار را نصب کردهاید کپی نمایید. سپس همانطور که در شکل ۹ نشان داده شده است، وارد پنجرهی "Manage Licenses" در نرمافزار مدیریت مجوز شده و بر روی

<sup>1</sup> License

<sup>&</sup>lt;sup>۲</sup> فایل مجوز را میتوانید از نمایندههای شـرکت Xilinx در محل زندگی خود و یا با پر کردن فرم مربوطه به صـورت آنلاین در سـایت این شـرکت دریافت نمایید.

کلید "....Load License" کلیک کنید. با کلیک بر روی این گزینه، یک File Dialog برای انتخاب فایل مجوز باز خواهد شد. فایل را انتخاب کرده و بر روی گزینهی "Open" کلیک نمایید. در صورت صحیح بودن فایل مجوز، پیغامی مبتنی بر موفقیتآمیز بودن فرآیند به شما نشان داده خواهد شد. پس از این مرحله می توانید تمام پنجرهها را بسته و شروع به استفاده از نرمافزار نمایید.

Annux License Conni	guration Manage								~
	guration wanage	a 					_		~
cquire a License	Manage Licenses	Borrow/Resto	ore Licenses	Return Lice	enses   Inte	rnet Settings	1		
Instructions: Click the certificate-based licens local Xilinx directory. Load License To point to a floating s will need to make thes (Linux)	"Load License" butt e (.lic file) into the l erver license, or to e settings outside of	on to either loa ocal "Xilinx direc point to license this application	d a response > :tory. Xilinx ap files in locatior .) Examples: 1	(ML file into X) plications auto ns other than 1234@server;0	LCM to activate omatically deter Xilinx, set one Xilinx, set one	e your machine ct valid, node- of the environ ix.lic (Window)	e for Xilinx tools an locked licenses (*. ment variables bek s) or 1234@server	d IP, or copy a lic) residing in t ow. (Linux user :/usr/local/flexil	he s
XILINXD_LICENSE_FI									
LM_LICENSE_FILE							Set		
HIDDEN	, Hide Built-in	Free Licenses						Clear Cach	•
Feature	S/W or IP Core	Version	Expiration Date	License Type	Count	Licenses In Use	Information		<u>•</u>
<ul> <li>▲  </li> <li>Local System Informat</li> </ul>	ion								
Hostname: Network Interface Ca C: Drive Serial Numbe	ALI-I rd (NIC) ID:								
Hostname: Network Interface Ca C: Drive Serial Numbe FLEXID Dongle ID:	ALI-I rd (NIC) ID:	DESKTOP							
Hostname: Network Interface Ca C: Drive Serial Numbe FLEXID Dongle ID: About	rd (NIC) ID:						Refresh	Close	

در صورتی که از سیستم عامل ویندوز ۱۰ استفاده میکنید، ممکن است همچنان پس از نصب نرمافزار قادر به اجرای آن نباشید. برای رفع این مشکل مراحل زیر را طی کنید:

۱- وارد آدرس زیر در محل نصب نرمافزار شوید.

<install\_path>\Xilinx\14.7\ISE\_DS\ISE\lib\nt64\

۲- نام فایل "libPortability.dll.orig" را به "libPortability.dll.orig" تغییر دهید.

۳- از فایل "libPortabilityNOSH.dll" یک کپی ایجاد کرده و نام آن را "libPortability.dll" قرار دهید.

٤- این بار وارد آدرس زیر شده و مراحل ۲ و ۳ را برای فایل های داخل این پوشه نیز تکرار کنید.

<install\_path>\Xilinx\14.7\ISE\_DS\common\lib\nt64\

حال سیستم خود را Restart کرده و از استفاده از نرمافزار لذت ببرید.

## ۳. آشنایی با محیط نرمافزار

پس از انجام مراحل فوق و اجرای نرمافزار وارد صفحهای مشابه شکل ۱۰ خواهید شد. محیط اصلی نرمافزار از چهار بخش اصلی تشکیل شده است که در ادامه هر کدام را به صورت کامل توضیح خواهیم داد.

ISE Project Navigator (P.20131013) - C:\Xilinx\Proje	cct1\Project1\Project1.xise - [Design Summary]						-	o ×
E File Edit View Project Source Process	Tools Window Layout Help							_ 8 ×
<b>ひらメロロ% 参議団会</b>	🕨 ළ ළ ළ ළ ළ 🛃 🔁 🗖 🖛 🗖	1 🖻 🎤 🍋 🕨 🗶 🦿 💡						
Design ↔ 🗆 🗗 🗙	Design Overview	Module1 Project Status						
View:	Summary     IOB Properties	Project File: Project1.sise			Parser Errors:		No Errors	
Hierarchy	Module Level Utilization	Module Name:	Module Name: Module1 Impl			State:	New	
💼 🕂 😇 Project1	Timing Constraints	Target Device: xc6sb4-3tqg144			• Errors:			
Bank Module1 - Behavioral (Module1	Clock Report	Product Version:	ISE 14.7		Warning	js:		
	Static Timing	Design Goal:	Balanced		Routing	Results:		
<u>611</u>	Errors and Warnings     Parser Messages	Design Strategy:	Xiinx Default (unlocked)		• Timing C	Constraints:		
2	Synthesis Messages	Environment:			Final Tin	ning Score:		
	Translation Messages							
	Map Messages     Place and Route Messages			De				E
اینجرہی طراحی ا	- 🗋 Timing Messages	Report Name	Status	Generate )	ا فصای	Warnings	Infos	
	Bitgen Messages	Synthesis Report						
	Detailed Reports	Translation Report						
	- Synthesis Report	Map Report						
No Processes Running	Translation Report	Place and Route Report						
Processes: Module1 - Behavioral	Place and Route Report	Power Report						
Design Summary/Reports	Post-PAR Static Timing Report	Post-PAR Static Timing Report						
User Constraints	Design Properties	Bitgen Report						
B C Synthesize - XST	Enable Message Filtering							
Implement Design     Generate Programming File	Optional Design Summary Contents			Secondary Reports				E
Configure Target Device	Show Failing Constraints	Report Name	Status			Generated		
Analyze Design Using ChipScope	- Show Warnings			Date Generated: 1	1/25/2019 - 20:07:36			
	- Show Errors							
ابنجروي فرآبندها								
پدبردی فر یکنده								
🌽 Start 🔍 Design 🚺 Files 🚺 Libraries 🕽	Σ De	isign Summary	×					
Console								++□♂×
Launching Design Summary/Report Vi	iewer	tl/Modulel whd# into libyayu	uork					^
INFO:ProjectMgmt - Parsing design	hierarchy completed successfully.	ci/Hodulei.vnu/ into library	WOIN					
<		جرەي ئنسول 📔	پن					>
📒 Console 🔕 Errors 🔔 Warnings 🙀 Find i	in Files Results							

**پنجرهی طراحی**: در این بخش تمامی قسمتهای پروژه (به عنوان مثال ماژولها) نمایش داده میشوند. **پنجرهی فرآیندها**: در این بخش وضـعیت انجام هر یک از فرآیندهای طراحی و تولید طرح مانند ســنتز، پیادهسـازی، و یا شبیهسازی نمایش داده خواهد شد.

**پنجرهی کنسول**: تمامی اعلانات در زمان کار با نرمافزار، مانند وضعیت نرمافزار، خطاها و اخطارها، در این قسمت به کاربر اعلام می شود.

**فضای کار**: بخش اصلی نرمافزار فضای کار است که توصیفها و فعالیتهای مرتبط با تولید طرح در آن انجام می شود. به عنوان مثال، در شکل ۱۰ پنجرهای تحت عنوان خلاصهی طراحی<sup>۱</sup> (به عنوان گزارش طراحی نیز شناخته می شود) در بخش فضای کار باز می باشد. این پنجره اطلاعات مفیدی از فرآیند کار مانند بهینه سازی ها، میزان تأخیر و شرح منابع مصرفی به کاربر می دهد که در بخش ۱۱ دسترسی به آن را توضیح خواهیم داد.

شکل ۱۰. محیط نرمافزار ISE

<sup>&</sup>lt;sup>1</sup> Design Summary

### ٤. ایجاد یک پروژهی جدید

برای شروع بـه کـار بـا نرمافـزار، اولـین کـار ایجـاد یـک پـروژهی جدیـد خواهـد بـود. بـرای ایـن کـار از منـوی "File" گزینهی "New Project" را انتخاب کنید. پس از انتخاب این گزینه، صفحهی شکل ۱۱ باز خواهد شد.

			×	
	> New Project	Wizard		
	Create New Pro	viect		
	Specify project location	and type.		
	Enter a name, location	is, and comment for the project		
	N <u>a</u> me:	Full_Adder		
	Location:	C:\Xilinx\Project1\Full_Adder	2**	
	Working Directory:	C:\Xilinx\Project1\Full_Adder	<u></u>	
	Description:	Sample Project For ISE Tutorial		
		Ali Abbasi		
		ECE, University of Sistan and Baluchestan		
	Select the type of top	-level source for the project		
	Top-level source type	e:		
	HDL		~	
	More Info	Next	Cancel	
		شکا ۱۱ انتخاب نام محالات محال		
		مسل ۲۰۱۰ الدخاب کام و مصل دخیره می پروزه		
		خود انتخاب کنید.	برای پروژهی -	<b>Name</b> : یک نام
5		ژه را مشخص کنید.	س ذخیرہی پرو	Location: آدر
ا دارید تعیین کنید.	ی پروژهی خود ر	پوشـهای که قصـد اضـافه کردن ماژول.ها و تمامی فایل.های	Worki: آدرس	ng Directory

Description: در صورت نیاز، توضیحاتی راجع به پروژهی خود در این قسمت وارد نمایید.

(آدرس این پوشه معمولاً با آدرس بخش قبلی یکسان است.)

Top-level source type: در آخرین بخش، باید نوع بالاترین ماژول پروژهی خود را مشخص کنید که می تواند به شکل های مختلفی مانند شماتیک<sup>۱</sup> و یا کد توصیف سختافزار<sup>۲</sup> باشد. برای روشن تر شدن بیشتر این مفهوم، فرض کنید قصد ساخت یک جمع کننده ی چهار بیتی به کمک چهار جمع کننده ی تک بیتی را دارید. در این طراحی، بالاترین سطح (ماژول) پروژه، بخشی است که نحوه ی اتصال بخش های کوچکتر یعنی جمع کننده های تک بیتی به یکدیگر را نشان می دهد. حال در این بخشی است که نحوه ی اتصال بخش های کوچکتر یعنی جمع کننده های تک بیتی به یکدیگر را نشان می دهد. حال در این بخشی است که نحوه ی اتصال بخش های کوچکتر یعنی جمع کننده های تک بیتی به یکدیگر را نشان می دهد. حال در این بخشی است که نحوه ی اتصال بخش های کوچکتر یعنی جمع کننده های تک بیتی به یکدیگر را نشان می دهد. حال در این قسمت باید مشخص کنید که بالاترین سطح طراحی شما به چه صورتی خواهد بود؛ اگر این طراحی را به کمک کدهای توصیف سختافزار انجام می دهید، گزینه ی مربوطه را انتخاب کنید. اگر هم قصد توصیف مدار با استفاده از شمای مدار و سیم بندی بخشهای آن به صورت دستی را دارید، گزینه ی شماتیک را انتخاب کنید. اگر هم قصد توصیف مدار با استفاده از شمای مدار و سیم بندی بخشهای آن به صورت دستی را دارید، گزینه ی شماتیک را انتخاب کنید. اگر هم قصد توصیف مدار با استفاده از شمای مدار و سیم بندی بخشهای آن به صورت دستی را دارید، گزینه ی شماتیک را انتخاب کنید. انتخاب کنید. انتخاب مید. انتخاب می در این آموزش، زبان توصیف سختافزار می باشد و به مباحث طراحی شماتیک پرداخته نخواهد شد.

پس از انتخاب گزینهی "Next"، وارد صفحهای خواهید شد که باید برخی اطلاعات پایه، مانند زبان توصیف و مشخصات تراشهای که قصد برنامه ریزی آن را دارید، انتخاب کنید (شکل ۱۲). در صورتی که قصد پیادهسازی واقعی طرح را ندارید، انتخاب نوع تراشه اهمیتی ندارد و میتوانید بدون تغییر دادن مقادیر مربوط به این بخش ادامه دهید.

Project Settings		
Specify device and project properties.		
Select the device and design flow for the pr	oject	
Property Name	Value	
Evaluation Development Board	None Specified	
Product Category	All	
Family	Spartan6	
Device	XC6SLX4	
Package	TQG144	
Speed	-3	
Top-Level Source Type	HDL	
Synthesis Tool	XST (VHDL/Verilog)	
Simulator	ISim (VHDL/Verilog)	
Preferred Language	VHDL	
Property Specification in Project File	Store all values	
Manual Compile Order		
VHDL Source Analysis Standard	VHDL-93	
Enable Message Filtering		

شکل ۱۲. انتخاب مشخصات پایهی پروژه

<sup>&</sup>lt;sup>1</sup> Schematic

<sup>&</sup>lt;sup>2</sup> HDL: Hardware Description Language

Evaluation Development Board: اگر از بوردهای آموزشی مورد تأیید شرکت Xilinx استفاده میکنید، نوع آن را در این بخش انتخاب كنيد. Product Category: دستهبندی تراشهی خود را انتخاب کنید. (به عنوان مثال همهمنظوره و یا نظامی) Family: خانوادهی تراشهی مورد نظر را در این بخش مشخص کنید. Device: شناسهی دقیق تراشه را انتخاب کنید. Package: ساختار بستهبندی تراشه را مشخص کنید. **Speed**: ردهی سرعتی تراشه را انتخاب کنید. Top-Level Source Type: نحوهي توصيف بالاترين سطح پروژه، كه در بخش قبل مشخص شد و قابل تغيير نميباشد. Synthesis Tool: ابزار سنتزی که قصد استفاده از آن را دارید انتخاب نمایید. Simulator: شبیه ساز پروژهی خود را انتخاب کنید. (به عنوان مثال شبیه ساز ISim از شرکت Xilinx و یا ModelSim از شرکت Mentor Products) Preferred Language: زبانی که تصمیم دارید توصیف را به کمک آن انجام دهید. Property Specification in Project File: تعیین کنید که کدام نوع از خواص در فایل پروژهی شما ذخیره شود. Manual Compile Order: در صورتی که میخواهید سلسه مراتب ماژولها برای سنتز و شبیهسازی را به صورت دستی مشخص کنید، این گزینه را انتخاب کنید. . VHDL Source Analysis Standard: استاندارد زبان VHDL که قصد استفاده از آن را دارید، مشخص کنید.

با فشردن کلید "Next"، وارد صفحهای خواهید شد که خلاصهی انتخابهای شما در روند ایجاد پروژه را نشان میدهد. در صورت صحيح بودن اطلاعات، كليد "Finish" را فشار دهيد تا يروژهي شما ايجاد شود. حال به صفحهي اول باز خواهيد گشت و باید source های مورد نیاز خود را به پروژه اضافه نمایید. در این آموزش، برای توضیح مراحل کار با نرمافزار، ابتدا یک تمامجمعکننده در سطح گیت توصیف خواهد شد، سپس درستی عملکرد آن سنجیده شده، و در نهایت بر روی یک تراشەي Spartan 6 ييادەسازى مى شود.

#### ۵. اضافه کردن Source به پروژه

یک پروژهی توصیف سختافزار میتواند از بخشهای مختلفی تشکیل شده باشد؛ به عنوان مثال، یک پروژهی ساخت تمامجمعکننده، شامل یک فایل برای توصیف عملکرد مدار، یک فایل به نام میز آزمایش ابرای بررسی صحت عملکرد مدار، و یک فایل برای تعریف محدودیتهای پیادهسازی امثل تعیین پینهای ورودی و خروجی خواهد بود. به هر یک از این بخشها، یک source می گویند که در ادامه راجع به نحوهی ایجاد آنها در نرمافزار ISE صحبت خواهیم کرد.

اولین source که باید به این پروژه اضافه شود، source توصیف تمامجمعکننده میباشد. برای این کار، بر روی کلیدی که در شکل ۱۳ نشان داده شده است کلیک کنید.



<sup>&</sup>lt;sup>1</sup> Test Bench

<sup>&</sup>lt;sup>2</sup> Implementation Constraints File

پس از انتخاب گزینهی فوق، پنجرهی شکل ۱٤ برای شما نمایش داده خواهد شد که باید با توجه به نیاز خود یک گزینه را انتخاب کنید. در این مرحله ما قصد توصیف یک ماژول به کمک زبان VHDL را داریم، پس گزینهی مربوطه را انتخاب میکنیم. همچنین باید برای این source یک نام نیز انتخاب شود که با توجه به ماژول مورد نظر، بهترین نام "Full\_Adder" خواهد بود. توجه داشته باشید که حتماً گزینهی "Add to project" انتخاب شده باشد.

New Source Wizard	
Select Source Type Select source type, file name and its location.	
<ul> <li>IP (CORE Generator &amp; Architecture Wizard)</li> <li>Schematic</li> <li>User Document</li> <li>Verilog Module</li> <li>Verilog Test Fixture</li> <li>VHDL Module</li> <li>VHDL Library</li> </ul>	<u>File name:</u>
VHDL Package VHDL Test Bench Embedded Processor	Full_Adder Logation: E:\ISE Projects\Four_Bit_Adder
Mars Jafa	Add to project

**شکل ۱**٤. انتخاب نوع source و نامگذاری آن (از نوع ماژول)

با فشردن کلید "Next" به صفحهی بعد خواهید رفت. با توجه به اینکه در مرحلهی قبل، نوع source یک ماژول انتخاب شده است، صفحهای به شما نمایش داده خواهد شد که میتوانید پورتهای ورودی و خروجی ماژول خود را مشخص کرده و نرمافزار یک کد اولیهی مناسب به صورت خودکار برای شما تولید کند (شکل ۱۵). از آنجایی که پورتها را هنگام توصیف به صورت دستی در کد خواهیم نوشت از این بخش عبور میکنیم.

> New Source V	Vizard						×			
← Define Module Specify port	ts for module.									
Entity name	Full_Adder									
Architecture name	Behavioral									
	Port Name	Direction	n	Bus	MSB	LSB	^			
		in	$\sim$							
		in	$\sim$							
		in	$\sim$							
		in	$\sim$							
		in	$\sim$							
		in	$\sim$							
		in	$\sim$							
		in	$\sim$							
		in	$\sim$							
		in	$\sim$				~			
More Info			< <u>B</u> a	ack	<u>N</u> ext >	Cance	el			

شکل ۱۵. مشخص کردن پورتهای ماژول در حال ساخت

با گذر از این صفحه، در صفحهی بعد، خلاصهای از source ایجاد شده به شما نمایش داده خواهد شد. در صورت تأیید کلید "Finish" را انتخاب کنید تا source مورد نظر ایجاد و به پروژه اضافه شود. پس از ایجاد source، فایل آن به پنجرهی طراحی پروژه اضافه خواهد شد که با دو بار کلیک بر روی آن میتوانید آن را باز کنید. توجه شود که پس از ایجاد source، فایل به صورت خودکار باز خواهد شد و میتوانید شروع به توصیف طرح کنید (شکل ۱۲).

دومین source که احتمالاً به آن نیاز پیدا خواهید کرد، source آزمایش و شـبیهسـازی مدار اسـت که در بخش شـبیهسـازی رفتاری (بخش ۸)، نحوهی ایجاد و استفاده از آن به صورت کامل توضیح داده خواهد شد و فعلاً از آن گذر میکنیم.

پس از آنکه توصیف طرح انجام شد و به کمک شبیهسازیهای رفتاری و زمانی از صحت عملکرد آن مطمئن شدید، باید فایل محدودیتهای پیادهسازی را به پروژه اضافه کنید. برای این کار، دوباره از همان محل شکل ۱۳ یک source جدید به پروژهی خود اضافه کنید، با این تفاوت که نوع آن را باید از نوع "Implementation Constraints File" انتخاب نمایید (مطابق شکل ۱۷).

> ISE Project Ma	vicator (P.20131013) - ENISE Projects/Four Bit Adder/Four Bit Addervise - IFull Adderved	- 0	×
📄 File Edit	View Project Source Process Tools Window Layout Help		- 8 ×
Destino	₩ 4 6 6 × 10 0		
View:	Implementation () Implementati		î
Hierarchy	Ba Addar		_
	bg-2tg144 6 Design Name:		
<u></u>	BFull_Adder - Behavioral (Full_Ad 7 Module Name: Full_Adder - Behavioral 9. 8 Project Name:		
	9 Target Devices:		
	1 Description:		
	74 13 Dependencies:		_
	14 15 Revision:		- 1
	16 Revision 0.01 - File Created 17 Additional Comments:		_
<	18		
No Proc	esses Running 20 library IEEE;		
No single d	esign module is selected.		
St 🕀 🎽 🛛	esign Utilities 23 Oncomment the following library declaration 24 arithmetic functions with Signed or Unsigned	d values	
90	25use IEEE.NUMERIC_STD.ALL; 26		
•	27 Uncomment the following library declaration 28 any Xilinx primitives in this code.	if instantiating	- 1
	29library UNISIM; 30use UNISIM. VComponents.all;		
	31 32 entity Full Addar is		
	33 end Full_Adder;		
	<		>
	Ful_Addecvhd 🛛 🔀	Design Summary	
Console			+ 🗆 🗗 X
Started :	"Launching ISE Text Editor to edit Full_Adder.vhd".		
Launching	Design Summary/Report Viewer		~
< C	Town A Marchan M. Findle States in		>
Console	Errors 🔝 Warnings 🖓 Hind in Hies Results	Ln1C	ol 1 VHDL
	توصيف مازول	<b>شکل ۱۱</b> . شروع به ت	
	> New Source Wizard	X	
	6.01.00		
	Select Source Type		
	Select source type, file name and its location.		
	DI DI ANA CILA		
	BIVIIVI FILE		
	ChipScope Definition and Connection File		
	Implementation Constraints File		
	IP (CORE Generator & Architecture Wizard)		
	MEM File		
	S Colorentia		
	Dischematic	File name:	
	User Document	Tue used	
	V Verilog Module	Full Adder icf	
	W Verilog Test Fixture		
	VHDI Medule	Location:	
	WHDL WOOddle		
	VHDL Library	E:\ISE Projects\Full_Adder	
	P VHDL Package		
	VHDL Test Bench		
	Embedded Processor		
\			
		(22.8 Here 5	
	More Info	Next > Cancel	
		Here's Concel	

**شکل ۱**۷. انتخاب نوع source و نامگذاری آن (از نوع محدودیت پیادهسازی)

#### ٦. سنتز

پس از پایان توصیف طرح، زمان سنتز آن است. برای این کار souceی که قصد سنتز آن را دارید از پنجرهی طراحی انتخاب نمایید. سپس در پنجرهی فرآیند بر روی گزینهی سنتز (شکل ۱۸) کلیک راست کرده و گزینهی "Run" را انتخاب نمایید. در صورت موفقیتآمیز بودن فرآیند سنتز، یک علامت سبز در سمت چپ این گزینه نمایان خواهد شـد. در صورتی که این علامت به رنگ نارنجی یا قرمز بود، به ترتیب به معنای اخطار و خطا میباشد.



در نظر داشته باشید که برای سنتز و پیادهسازی یک source، باید آن source به عنوان Top Module طرح شما انتخاب شده باشد. در غیر این صورت، گزینه های سنتز و پیادهسازی در پنجره ی فرآیند نمایش داده نخواهند شد و تنها گزینه هایی مشابه شکل ۱۹ خواهید دید.



شکل ۱۹. پنجرهی فرآیند برای source غیر Top Module

بـرای انتخـاب یـک source بـه عنـوان Top Module، مطـابق شـکل ۲۰ بـر روی آن source کلیـک راسـت کـرده و گزینـهی "Set as Top Module" را انتخـاب نماییـد. (مفهـوم Top Module تنهـا مربـوط بـه زمـانی اسـت کـه چنـدین source از نوع ماژول در طرح شما وجود داشته باشد.)



شکل ۲۰. انتخاب یک source به عنوان Top Module

همانطور که میدانید، خروجی و نتیجهی عمل سنتز، اصطلاحاً یک Netlist میباشد که نمایشی از نحوهی پیادهسازی طرحی است که کد آن به یکی از زبانهای توصیف سختافزار نوشته شده است. Netlist در نرمافزار ISE به دو شکل مختلف در دسترس است: شماتیک سطح انتقال ثبات و شماتیک تکنولوژی.

در شماتیک سطح انتقال ثبات، طراحی سطح گیت متناظر با کد نمایش داده می شود. در حالی که در شماتیک تکنولوژی، پیادهسازی واقعی طرح بر روی یک تراشهی FPGA یا CPLD (یا هر تراشهای که در ابتدای ساخت پروژه انتخاب کردید) نمایش داده خواهد شد. به این معنی که اگر طرح برای یک FPGA بر مبنای LUT سنتز شده است، آن طرح چگونه به کمک LUT ها پیادهسازی می شود. توجه کنید که شماتیک تکنولوژی، نمایشی از پیادهسازی نهایی بر روی FPGA نیست و فرآیندهایی مانند جزءبندی، جایابی، و مسیریابی بر روی آن انجام نشده است. بلکه تنها مشخص شده است که این پیادهسازی نیاز به چه منابعی و با چه اتصالاتی دارد.

برای نمایش Netlist طرح، ابتدا بر روی علامت مثبت در کنار گزینهی ســـنتز در پنجرهی فرآیند کلیک کنید تا گزینههای بیشتر برای شما نمایش داده شود. سپس بر روی نوع شماتیک مورد نظرتان دو بار کلیک کنید (شکل ۲۱).



شکل ۲۱. نمایش Netlist طرح پس از سنتز

پس از دو بار کلیک بر روی هرکدام از دو نوع شماتیک، پنجرهی شکل ۲۲ نمایان خواهد شد. در این پنجره دو انتخاب دارید که می توانید مشخص کنید آیا شماتیک را برای کل طرح ببینید یا برای قسمتی محدود و مشخص شده از آن.



شکل ۲۲. انتخاب نوع نمایش شماتیک

در صورتی که گزینهی دوم را انتخاب کنید، مستقیماً صفحهی نمایش شماتیک باز خواهد شد و شما تمامی اجزاء را به صورت کامل، مشابه شکل ۲۳ که برای یک تمام جمع کننده است، مشاهده خواهید کرد. ممکن است بخشهایی از طرح را به صورت یک بلوک ببینید، برای دقیقتر شدن و باز کردن هر یک از این بخشها، می توانید بر روی آن بخش دو بار کلیک کنید.



شکل ۲۳. نمایش شماتیک کامل سطح انتقال ثبات برای یک تمام جمعکننده

اما در صورت انتخاب گزینه یاول، صفحه ی دیگری به شما نشان داده می شود تا انتخاب کنید که کدام یک از اجزاء طرح در شماتیک نمایش داده شوند (کدام سیگنالها یا پورتها یا...). برای این کار، هر کدام از اجزائی را که نیاز دارید در شماتیک نشان داده شوند از سمت چپ (شکل ۲۵) انتخاب کرده و با فشردن کلید "<- Add" آنها را به شماتیک اضافه کنید. پس از اینکه تمام اجزاء را اضافه کردید بر روی گزینه ی"Create Schematic" کلیک کنید تا شماتیک برای شما نمایش داده شود. در این نوع نمایش نیز می توانید بر روی هر بخش که به صورت بلوک نمایش داده شده است، دو بار کلیک کنید تا به صورت دقیق تر نشان داده شود. همچنین اگر بر روی جزئی که در صفحه ی شکل ۲۶ به شماتیک اضافه نکرده بودید دو بار کلیک کنید، آن جزء نیز به صورت خودکار به شماتیک اضافه خواهد شد.



**شکل ۲**۲. انتخاب اجزاء برای نمایش در شماتیک مح*دو*د تکنولوژی

در زمان استفاده از نمایش شـماتیک تکنولوژی، میتوانید با دو بار کلیک بر روی هر یک از LUT ها، معادله، جدول درستی، جدول کارنو، و مدار سطح گیت تابعی که در آن LUT پیادهسازی شده است را مشاهده کنید.

## ۷. پیادهسازی (ترجمه – جایابی – مسیریابی)

پس از آنکه Netlist طرح توصیف شده، توسط مرحلهی سنتز مشخص شد، باید پیادهسازی بر روی تراشهی مورد نظر صورت گیرد. برای این کار، مانند سنتز کردن، ابتدا Source مورد نظر را از پنجرهی طراحی انتخاب نمایید. سپس بر روی گزینهی "Implement Design" در پنجرهی فرآیند (شکل ۲۵) دو بار کلیک کرده و منتظر ظاهر شدن علامت تیک سبز در سمت چپ آن بمانید.



**شکل ۲۵**. پیادهسازی طرح در پنجرهی فرآیند

با انجام عمل پیادهسازی به صورت فوق، تمامی مراحل پیادهسازی به صورت خودکار توسط نرمافزار انجام خواهد شد. این مراحل میتوانند به صورت دستی توسط نرمافزارهایی مثل FPGA Editor و PlanAhead که همزمان با نصب نرمافزار ISE نصب میشوند نیز انجام پذیرند که در این نسخه از آموزش به آنها اشارهای نخواهد شد.

#### ۸. شبیهسازی رفتاری

اولین قدم برای آنکه بتوانید طرح خود را شـبیهسازی کنید، نوشـتن فایل آزمایش طرح، که معمولاً به عنوان میز آزمایش نیز شناخته می شود، خواهد بود. برای این کار، باید یک source از نوع "VHDL Test Bench" برای ماژولهای توصیف شده به زبان VHDL، و یا از نوع "Verilog Test Fixture" برای ماژولهای توصیف شـده به زبان Verilog در پروژهی خود ایجاد کنید (در صورتی که نمی دانید چگونه این کار را انجام دهید به بخش ۵ مراجعه نمایید). پس از فشردن کلید "Next"، از شما درخواست می شـود تا ماژولی که قصـد نوشـتن Test Bench برای آن را دارید انتخاب کنید. با انتخاب ماژول مورد نظر،

در پایان این مراحل، فایل آزمایش برای ماژول مورد نظر ایجاد شده و در پنجرهی فضای کار باز می گردد، اما در پنجرهی طراحی دیده نخواهد شد. برای مشاهده و دسترسی به فایلهای آزمایش و شبیهسازی پروژه، باید مشابه شکل ۲٦، بخش "View" در پنجرهی طراحی را از "Implementation" به "Simulation" تغییر دهید. (برای دیدن فایلهای اصلی پروژه مانند ماژولها، دوباره گزینهی "Implementation" را انتخاب کنید.)



از آنجایی که پنجرهی کنسول تنها با هر بار ذخیرهی فایل، خطاها و هشدارها را نمایش میدهد، لازم است فایلهای طرح خود را مرحله به مرحله به کمک Ctrl + S ذخیره کنید تا بتوانید بازخوردهای نرمافزار را ببینید. اگر فایل آزمایشی که به صورت خودکار توسط نرمافزار برای ماژول انتخابی شما تولید شد ذخیره نمایید، احتمالاً مشاهده خواهید کرد که در پنجرهی کنسول، خطاهای شکل ۲۷ نمایش داده شده است.



شکل ۲۷. خطاهای موجود در فایل آزمایش ایجاد شده به صورت خودکار توسط نرمافزار برای ماژول تمامجمع کننده

دلیل وجود این خطاها، تولید خودکار قطعه کدهای مربوط به ایجاد سیگنال ساعت در فایل آزمایش است. در صورتی که ماژول در حال آزمایش دارای سیگنال ساعت باشد، پورت ساعت به صورت خودکار توسط نرمافزار شناخته خواهد شد و خطایی در کد آزمایش وجود نخواهد داشت (برای پورتهایی با نامهای مشابه clock یا clk). اما در صورتی که این طرح فاقد پورت ساعت باشد (مانند تمام جمع کننده)، باید قطعه کدهای مربوط به سیگنال ساعت به صورت دستی حذف شوند. برای این کار قطعه کدهای زیر را از فایل آزمایش حذف کنید:

پس از انجام مراحل فوق و نوشتن متن فایل آزمایش، باید مدار را شبیهسازی و صحت خروجیها را به کمک شکل موج آنها بررسی کنید. مانند انجام عملیات سنتز و پیادهسازی، فایل آزمایش را از پنجرهی طراحی انتخاب کنید (این بار در حالت شبیهسازی که در شکل ۲٦ نشان داده شد). سپس برای آنکه این شبیهسازی یک شبیهسازی رفتاری باشد، بخش مشخص شده در شکل ۲۸ را بر روی "Behavioral" قرار داده و سپس در پنجرهی فرآیند، قسمتهای مشخص شده در شکل ۲۹ را به تر تیب اجرا کنید.



در صورت موفق آمیز بودن شبیهسازی، پنجرهای جدید بر روی سیستم شما باز خواهد شد که شکل موج را نشان میدهد. این پنجره همان نرمافزاری است که آن را هنگام ساخت پروژه به عنوان شبیهساز انتخاب کردید (که در این پروژه، نرمافزار ISIM انتخاب شد). استفاده از امکانات نمایشگر شکل موج ISIM در بخش مربوطه (بخش ۱۰) توضیح داده خواهد شد.

#### ۹. شبیهسازی زمانی

شبیهسازی زمانی در نرمافزار ISE، بعد از هر سه مرحله از پیادهسازی یعنی Map ، Translate، و Route در دسترس است و می توانید بسته به نیازتان، شکل موج را پس از هر یک از این مراحل مشاهده کنید. برای انجام شبیهسازی زمانی باید کاملاً مشابه شسبیهسازی رفتاری عمل کنید. با این تفاوت که هنگام مشخص کردن نوع شسبیهسازی، به جای انتخاب گزینهی 'Behavioral'، یکی از گزینههای دیگری که در شکل ۳۰ نمایش داده شده است انتخاب کنید.



## ۱۰. استفاده از نمایشگر شکل موج نرمافزار Xilinx ISIM

هنگامی که هر کدام از انواع شـبیهسـازی را انجام میدهید، در صـورتی که در زمان ایجاد پروژه، نرمافزار ISIM را به عنوان شبیهساز انتخاب کرده باشید، پنجرهای مشابه شکل ۳۱ برای شما باز خواهد شد.

🔜 ISim (P.20131013) - [Default.wcfg]													- 0	×
File Edit View Simulation Win	ndow Layout Help													- 8 ×
🗋 🆻 🖥 😓 🐰 🗅 🗅 🗙 🕲	🔊 🖓 🗠 🔁	L 1 O	6800	- P K? P P B	) 🏓 🗟 🖄 🛨	1	1° 1 🖬 🕨	▶X 1.00us ∨ 🦕	II 🗔 Re-laund	h				
Instances and Processes ++	Objects		•□ð× 🏓										1,000,000 ps	~
🗐 🛞 🖃 Cổ 📒 KM 💽 Cổ	Simulation Objects for f	ul_adder_tb												
Instance and Process Name	14 14 14 16 19	15 🔛	8	Name	Value		999,994 ps	999,995 ps	999,996 ps	999,997 ps	999,998 ps	999,999 ps	1,000,000 ps	1,000
Instance and Process Name	Object Name	Value	,	48 a	-1							_		
std_logic_1164 st	lla a	1		lik cin	1									
	la b	1	ă	10.5	1									
	La s	1	12	Ug cout	1									
	1 cout	1	-											
			-											
			1 m											
			-											
			E.											
			2IL											
						_								
						X1:	1,000,000 ps							
< >	]			<	> < >>	<								> v
🚣 Instances 🛗 Memory 📐 Source	<		>		Default.wo	fg								
Console														↔□♂×
ISim R20131013 (signature 0x7708f090) This is a final warries of 16m														
Time resolution is 1 ps														
Simulator is doing circuit initialization process. Finished circuit initialization process.														
ISim>														
Console Compilation Log	Breakpoints 🙀 Find	in Files Results	Search Resu	lts										
													Sim Time	1 000 000 pr
							_						sim rime	1,000,000 ps

**شکل ۳۱.** محیط کار نرمافزار ISIM

از آنجایی که معمولاً مدت زمانی که برای هر مقدار ورودی در هنگام نوشـتن کد آزمایش در نظر گرفته میشـود بسـیار اندک است، لازم است بر روی شکل موج زوم کنید تا بتوانید تغییرات مقادیر را مشاهده کنید. شکل ۳۲ بخشی از نوار ابزار در این نرمافزار شبیهساز را نشان میدهد که میتوانید از آن برای کاربری راحتتر از نرمافزار استفاده کنید.



شکل ۳۲. بخشی از نوار ابزار نرمافزار ISIM

با استفاده از کلیدهای مشخص شده در شکل ۳۲، میتوانید به ترتیب از سمت چپ، بر روی شکل موج زوم کنید، زوم را کاهش دهید، و شکل موج را به صورت خودکار به اندازهای در بیاورید که تمام مقادیر ورودیای که برای آن در نظر گرفتهاید در پنجرهی نمایش شکل موج جای بگیرند.

پس از فشردن کلید سوم، شکل موج به صورت شکل ۳۳ نمایش داده خواهد شد. در بخش شمارهی ۱ از این شکل، سیگنالهای ماژول' در حال شبیهسازی قرار گرفتهاند. همچنین در بخش شمارهی ۲، مقادیر لحظهای هر یک از این سیگنالها در زمانی که خط زمانی زرد رنگ در بخش ۳ بر روی آن قرار گرفته است نشان داده شده است.



**شکل ۳۳**. نمونهای از یک شبیهسازی توسط نرمافزار ISIM

شـما می توانید برای مشـاهده و بررسـی راحت تر شـکل موج، تغییراتی در نحوهی نمایش آن برای هر سـیگنال ماژول اعمال نمایید (تغییراتی مانند تغییر رنگ، مبنای نمایش مقدار پورت، و...). برای دسترسی به این امکانات، بر روی سیگنال مورد نظر (از بخش ۱ در شکل ۳۳) کلیک راست کرده و مطابق با نیاز خود تغییرات را اعمال کنید. (در ادامه و در شکل ۳٤ به توضیح موارد کاربردی در منوی تنظیمات سیگنالها پرداخته شده است.)

<sup>&</sup>lt;sup>۱</sup> منظور از سیگنال در این بخش، الزاماً سیگنالهای درونی که در زبان VHDL استفاده میشوند نمیباشد و این مفهوم شامل پورتهای ورودی، خروجی و حتی متغیرها نیز میشود.



شکل ۳٤. منوی تنظیمات یک سیگنال در نرمافزار ISIM

Radix: مبنای ریاضی نمایش مقدار سیگنال (قابل استفاده تنها برای سیگنالهای چند بیتی) Signal Color: رنگ موج سیگنال Riverse Bit Order: تغییر ترتیب ارزش گذاری (Little-endian یا Big-endian) Go To Source Code: مراجعه به قسمتی از کد آزمایش که این سیگنال در آن تعریف شده است. Force Constant: تغییر مقدار سیگنال به یک مقدار ثابت به صورت اجباری (بدون تغییر در کد آزمایش) Force Clock: تغییر مقدار سیگنال به یک سیگنال پالس ساعت به صورت اجباری (بدون تغییر در کد آزمایش)

## ۱۱. گزارش طراحی

نرمافزار ISE این امکان را به کاربر میدهد که همواره در هر کدام از مراحل طراحی و یا پیادهسازی، خلاصه و گزارشی از طرح خود دریافت کند. در این گزارش اطلاعات بسیار مفیدی راجع به طراحی به کاربر داده می شود که نمونههایی از این اطلاعات عبارتند از: شرح منابع مصرف شده در تراشه، تأخیر بین هر دو واحد، مسیر حیاتی و میزان تأخیر آن، و غیره (شکل ۳۵). معمولاً در هنگام ساخت پروژه، این پنجره به صورت خودکار در بخش فضای کار باز می گردد. با این حال برای مشاهدهی این گزارش، در هر زمان تنها کافیست بر روی گزینهی "Besign Summary/Reports" در پنجره ی فرآیند (شکل

_											
<u>~</u>	Design Overview		Full_Ad	lder Project	Status (02	2/14/2020 - 10:16:19)					
	IOB Properties	Project File:	Full_Adderxise		Parser Er	rors:	No	Errors			11
9	- 🗋 Module Level Utilization	Module Name:	Full_Adder		Implementation State:			iced and F	louted		
$\odot$	Timing Constraints	Target Device:	arget Device: xc6sbx9-2tqg144								
Ç5	Pinout Report     Ock Report	Product Version:	ISE 14.7		• W	arnings:					
RTHE.	Static Timing	Design Goal:	Balanced		• R	outing Results:	All	Signals C	ompletely Routed		10
<	Errors and Warnings	Design Strategy:	Xilinx Default (unlocked)		•T	iming Constraints:					11
20	Parser Messages	Environment:	System Settings		•Fi	inal Timing Score:	0 (	(Timing R	eport)		11
<i>(</i> ۸)	Synthesis Messages     Translation Messages					,					- 1
	Map Messages										- 1
	<ul> <li>Place and Route Messages</li> </ul>		Dev	rice Utilizatio	on Summa	Y				Ŀ	1
	Timing Messages	Slice Logic Utilization		Used		Available	Utilization		Note(s)		
	Bitgen Messages	Number of Slice Registers			0	11,440		0%			
	Detailed Reports	Number of Slice LUTs			1	5,720		1%			
	- 📄 Synthesis Report	Number used as logic			1	5,720		1%			
	Translation Report	Number using O6 output only			0						
	Map Report     Place and Route Report	Number using O5 output only			0						
	Post-PAR Static Timing Report	Number using O5 and O6			1						1
		Number used as ROM			0						
	Design Properties	Number used as Memory			0	1,440		0%			
	Optional Design Summary Contents	Number of occupied Slices			1	1,430		1%			
	Show Clock Report	Number of MUXCYs used			0	2,860		0%			
	Show Failing Constraints	Number of LUT Flip Flop pairs used			1						
	Show Errors	Number with an unused Flip Flop			1	1		100%			
		Number with an unused LUT			0	1		0%			
		Number of fully used LUT-EE pairs			0	1		0%			
		Number of slice register sites lost				11.440		0%			-
		to control set restrictions			Ŭ	11,440					~
$\Sigma$	De	sign Summary									

شکل ۳۵. پنجرهی گزارش طراحی در فضای کار





شکل ۳٦. مشاهدهی گزارش طراحی از طریق پنجرهی فرآیند

#### ۲. تولید فایل برنامهریزی

تمامی اطلاعات مورد نیاز برای برنامهریزی یک تراشــهی برنامهپذیر (FPGA یا CPLD)، در یک فایل دودویی، که به عنوان فایل جریان بیتی<sup>۱</sup> نیز شناخته میشود، ذخیره میگردد. پس از انجام تمامی مراحل طراحی و آزمایش، لازم است که این فایل را تولید و برای انتقال به تراشه ذخیره کنید.

برای تولید فایل جریان بیتی، پس از ایجاد source محدودیتهای پیادهسازی (همانطور که در بخش ۵ گفته شد)، تنها کافی است بر روی گزینهی "Generate Programming File" در پنجرهی طراحی دو بار کلیک کنید (شکل ۳۷). در صورت موفقیت آمیز بودن، یک فایل همنام با نام Top Module پروژه و با پسوند "bit." در محل پروژه ایجاد و علامت سبز در کنار این گزینه ظاهر خواهد شد.



شکل ۳۷. تولید فایل دودویی برنامهریزی از طریق پنجرهی فرآیند

<sup>1</sup> Bitstream

## ۱۳. برنامهریزی تراشه به کمک نرمافزار ISE iMPACT

برای انتقال فایل جریان بیتی به تراشه، می توانید از نرمافزار iMPACT که همزمان با نصب نرمافزار ISE نصب می شود، استفاده کنید. برای این کار، ابتدا تراشهی خود را با استفاده از پروگرمر به کامپیوتر متصل نموده و در صورت نیاز درایورهای آن را نصب کنید (معمولاً درایورهای رایج همزمان با نصب نرمافزار نصب می شوند). پس از آنکه از شناخته شدن تراشه توسط کامپیوتر اطمینان حاصل کردید، نرمافزار iMPACT را باز کنید. قبل از باز شدن نرمافزار، از شما راجع به ذخیره ی خودکار پروژه پرسیده خواهد شد که با توجه به نیازتان باید یک گزینه را انتخاب نمایید. پس از گذشتن از این صفحه، بسته به انتخابتان، صفحهی دومی برای شما باز می شود. با فشردن کلید "Cancel" آنها را ببندید (این تنظیمات در داخل برنامه نیز در دسترس هستند و نیازی به انجام این تنظیمات در مرحله ی اول نیست). پس از انجام مراحل قبلی، وارد صفحه یا صلی نرمافزار می شوید که مشابه شکل ۳۸ خواهد بود.

SE IMPACT (P.20131013)		- 0	×
File Edit View Operations Output Debug	Window Help		
🗋 🆻 😻 😤 🗉 🎤 K?			
MPACT Flows ++			
ی Boundary Scan SystemACE Create PROM File (PROM File Format WebTalk Data			
×€ □ + □ × × × × × × × × × × × × × × × × ×	فضای کار		
Console			++ 🗆 & ×
Welcome to iMPACT iMPACT Version: 14.7 Project: C:\Users\aabba\Desktop\\	auto_project.ipf created. پنجرهی کنسول		>
Console V Errors 🔔 Warnings			

#### شکل ۳۸. صفحه ی اصلی نرمافزار iMPACT و بخشهای آن

برای شروع به برنامهریزی تراشه، از قسمت جریان iMPACT بر روی گزینهی "Boundary Scan" دو بار کلیک کنید (شکل ۳۹) تا پنجرهی مربوط به آن در بخش فضای کار باز شود. حال مشابه شکل ٤٠ بر روی پنجرهی باز شده در فضای کار کلیک راست کرده و گزینهی "Initialize Chain" را انتخاب کنید.



شکل ۲۰. جستجوی زنجیره در برنامهی iMPACT

پس از انتخاب گزینهی "Initialize Chain"، در صورت صحیح بودن اتصالات و نصب بودن درایورها، صفحهی شکل ٤۱ نمایش داده خواهد شد که باید انتخاب کنید آیا قصد Verify شدن تراشه پس از برنامهریزی را دارید یا خیر. به عنوان مثال، در این شکل تنها یک تراشهی اسپارتان ٦ به زنجیرهی برنامهریزی متصل شده است و گزینهی "Verify" برای آن انتخاب نشده است (می توان چند تراشه را در یک زنجیره به هم متصل نمود و آنها را به صورت همزمان برنامهریزی کرد. برای اطلاعات بیشتر، دربارهی زنجیرهی JTAG مطالعه کنید).

Category	ee Friegdamming Freperies		
Boundary-Scan □ Device.1 (FPGA xc6slx9)	Property Name Value Verify		
	OK Cancel Apply	Help	

شکل ٤١. تنظیمات برنامهریزی تراشههای متصل

پس از انتخاب گزینهی تأیید و خروج از پنجرهی شکل ٤١، دوباره به صفحهی اصلی نرمافزار باز خواهید گشت که در آن دستگاه/دستگاههایی که توسط پروگرمر به کامپیوتر متصل است، مانند شکل ٤٢ نمایش داده خواهند شد. همانطور که در این شکل مشاهده میکنید، در این لحظه یک تراشه با شناسهی XC6SLX9 به دستگاه متصل است.



میدانیم که اکثر تراشههای FPGA برای برنامهریزی از حافظههای فرار استفاده میکنند، به همین دلیل همواره در کنار آنها از یک حافظهی غیر فرار نیز استفاده می شود تا فایل برنامهریزی را ذخیره کرده و در هربار روشن شدن دستگاه، آن را بر روی تراشه بارگذاری کند. در نتیجه در هنگام برنامهریزی تراشه، فایل جریان بیتی باید هم به تراشه و هم به حافظهی غیر فرار منتقل شود (انتقال همزمان به این دو تراشه، به کمک زنجیرهی JTAG امکانپذیر است). در این نسخه از آموزش به برنامهریزی حافظهی غیر فرار پرداخته نخواهد شد و فایل جریان بیتی تنها به خود تراشه منتقل می شود. برای این کار، بر روی تراشهی مورد نظر کلیک راست کرده و مطابق شکل ٤٣ گزینهی "Assign New Configuration File برای شما باز می شود. به آدرس ذخیرهی پروژه رفته و فایل جریان بیتی را انتخاب کنید. پس از آنکه فایل جریان بیتی را انتخاب کردید، از شما راجع به برنامهریزی حافظهی غیر فرار پرسیده می شود که آن را ببندید.



شکل ٤٣. انتخاب فایل برنامهریزی تراشه

پس از اینکه فایل برنامهریزی را مشخص کردید، دوباره بر روی تراشهی مورد نظر کلیک راست کرده و این بار مطابق شکل ٤٤ گزینهی "Program Succeed" را انتخاب کنید. در پایان در صورتی که خطایی رخ نداده باشد، پیغام "Program Succeed" بر روی فضای کار نمایش داده خواهد شد که نشان دهندهی موفقیت آمیز بودن برنامهریزی می باشد.



**شکل ٤٤**. برنامەريزى تراشە

This learning material has been developed for educational purposes provided to the students of the University of Sistan and Baluchestan, Iran at no cost. The trademarks, logos, service marks displayed, and the software used on this tutorial are the property of Xilinx or other third parties.

Last Edit	Version
February 2021	1.8

Special thanks to Dr. Mohammad Hossein Sargolzaei, Head of the Department of Computer Engineering, for his endeavor to help finalize and publish this document.



## University of Sistan and Baluchestan Faculty of Electrical and Computer Engineering

## Xilinx ISE Design Suite v14.7 Tutorial

**Author:** Ali Abbasi