فهرست مطالب

۱-فصل اوّل: سیستم‌های عددنویسی، مبناهای اعداد و کدهای دودویی **۱**

۱-۱- مقدمه ۱

۱-۲- سیستم‌های عددنویسی ومبناهای اعداد ۱

۱-۲-۱- نمایش اعداد در مبنای دلخواه r ۱

۱-۲-۲- تبدیل مبناها ۳

۱-۲-۲-۱- تبدیل از مبنای r به مبنای ۱۰ ۳

۱-۲-۲-۲- تبدیل مبنای ۱۰ به مبنای دلخواه k ۴

۱-۲-۲-۲-۱- استفاده از توان‌های مبنای مقصد ۴

۱-۲-۲-۲-۲- استفاده از تقسیم‌ها و ضرب‌های متوالی ۵

۱-۳- عملیات حسابی در مبناهای مختلف ۹

۱-۳-۱- مکمل $r-1$ ۱۰

۱-۳-۲- مکمل r ۱۰

۱-۳-۳- جمع و تفریق در مبناهای مختلف ۱۲

۱-۳-۳-۱- جمع اعداد در مبنای r ۱۲

۱-۳-۳-۲- تفریق با استفاده از روش مکمل r و مکمل $r-1$ ۱۲

۱-۳-۳-۲-۱- تفریق اعداد با استفاده از مکمل $r-1$ ۱۲

۱-۳-۳-۲-۲- تفریق اعداد با استفاده از مکمل r ۱۳

۱-۳-۳-۲-۳- جمع اعداد باینری علامت‌دار با ارقام ثابت با استفاده از روش مکمل ۲ ۱۵

۱-۳-۳-۳- ضرب و تقسیم اعداد باینری (مبنای ۲) ۱۶

۱-۴- کدهای دودویی غیر مبنای ۲ ۱۷

۱-۴-۱- کدهای دهدهی ۱۷

۱-۴-۱-۱- کددهدهی *BCD* (۸۴۲۱) ۱۸

۱-۴-۱-۲- کد افزونی-۳ ۱۸

۱-۴-۱-۳- کد آیکن ۲۴۲۱ ۱۸

۱-۴-۱-۴- کد ۱-۲-۸۴ ۱۹

۱-۴-۱-۵- کد دو از پنج ۲۰

۱-۴-۱-۶- کد دو پنجی (کد دو از هفت) ۲۰

۱-۴-۲- کد دو دویی انعکاسی (گری) ۲۱

۱-۴-۲-۱- کد گری ۲۲

۱-۴-۳- تبدیل اعداد باینری(مبنای۲) به کدگری (یافتن معادل کدگری اعداد مبنای ۲) ۲۲

۱-۵- کدها و روش‌های تشخیص خطا ۲۴

۱-۵-۱- مینیمم فاصلهٔ یک کد ۲۴

۱-۵-۲- استفاده از بیت توازن ۲۴

۱-۵-۱- روش‌های تشخیص و تصحیح خطا ۲۵

۱-۵-۱-۱- کد همینگ ۲۶

۱-۵-۱-۲- کد همینگ توسعه یافته ۲۸

۱-۵-۱-۳- روش ماتریسی ۳۰

۱-۶- کدهای حرفی عددی ۳۱

۱-۶-۱- کد شش بیتی ۳۱

۱-۶-۲- اسکی*ASCII* کد شش بیتی ۳۲

۱-۶-۳- کد*BCD* توسعه یافته *EBCDIC* ۳۳

۱-۶-۴- کد مورد استفاده در تلکس (کد ***Baudot***) ۳۴

۱-۶-۵- کد ۱۲ بیتی هلریت ۳۴

تمرین‌های فصل اول **۳۵**

۲- فصل دوم: جبر بولی، توابع منطقی و گیت‌های منطقی استاندارد **۳۷**

۲-۱- مقدمه ۳۷

۲-۲- تعاریف مقدماتی ۳۷

۲-۲-۱- متغیر دودویی ۳۷

فهرست مطالب

۲-۲-۲- عملگر یکانی ۳۷

۲-۳- عملگر دوگانی ۳۸

۲-۳-۱- جدول درستی ۳۸

۲-۳-۲- عملگرهای استاندارد ۳۸

۲-۳-۲-۱- عملگر یکانی نقیض ***(NOT)*** ۳۸

۲-۳-۲-۲- عملگر دوگانی یا ***(OR)*** ۳۹

۲-۳-۲-۳- عملگر دوگانی و ***(AND)*** ۳۹

۲-۳-۳- عبارت منطقی ۳۹

۲-۴- گیت‌های منطقی استاندارد ۴۱

۲-۴-۱- گیت ***(OR)*** : ۴۱

۲-۴-۲- گیت ***(AND)*** ۴۱

۲-۴-۳- گیت ***(NOT)*** ۴۱

۲-۵- گسترش تعداد ورودی‌های گیت‌های استاندارد ۴۱

۲-۵-۱- گسترش تعداد ورودی‌های گیت‌های ***(AND,OR)*** ۴۲

۲-۶- بررسی اجمالی نظریهٔ مجموعه‌ها ۴۲

۲-۶-۱- نمودارهای ون ۴۴

۲-۷- بررسی یک سیستم ریاضی ۴۵

۲-۸- قوانین و قضایای حاکم بر مدارهای منطقی(جبر بولی) ۴۷

۲-۸-۱- جبر بول ۴۷

۲-۸-۱-۱- اصول هانتینگتون: ۴۸

۲-۸-۱-۱-۱- قضیه‌های اصلی جبر بول ۵۰

۲-۹- توابع بولی ۵۳

۲-۹-۱- به دست آوردن جدول درستی توابع بولی ۵۴

۲-۱۰- مکمل یک تابع ۵۷

۲-۱۱- روش‌های نمایش توابع منطقی ۵۸

۲-۱۱-۱- روش‌های استاندارد نمایش توابع منطقی ۵۹

۲-۱۱-۱-۱- نمایش یک تابع به شکل مجموع مینترم‌ها ۵۹

۲-۱۱-۱-۲- نمایش یک تابع به شکل حاصل‌ضرب ماکسترم‌ها ۶۰

۲-۱۱-۱-۳- تبدیل شکل‌های نمایش استاندارد به یکدیگر ۶۱

۲-۱۱-۲- نمایش‌های متعارف توابع منطقی ۶۲

۲-۱۱-۲-۱- نمایش تابع منطقی به شکل مجموع حاصل‌ضرب‌ها ***(SOP)*** ۶۳

۲-۱۱-۲-۲- نمایش تابع منطقی به شکل ضرب حاصل‌جمع‌ها ***(POS)*** ۶۳

۲-۱۱-۳- شکل‌های دیگر نمایش توابع منطقی ۶۳

۲-۱۲- جبرکلیدی و رله‌ای، سیگنال‌های دودویی و خانواده‌های منطقی ۶۴

۲-۱۲-۱- جبرکلیدی ۶۴

۲-۱۲-۲- جبر رله‌ای ۶۶

۲-۱۲-۳- مدارهای ساده الکترونیکی ۶۷

۲-۱۳- مروری اجمالی بر خانواده‌های منطقی و مشخصه‌های آن‌ها ۷۰

۲-۱۳-۱- خانواده‌های منطقی مبتنی بر دیود و ترانزیستور دوقطبی ***BJT*** ۷۰

۲-۱۳-۱-۱- خانوادهٔ منطقی مقاومت- دیود ***RDL*** ۷۱

۲-۱۳-۱-۲- خانوادهٔ منطقی مقاومت- ترانزیستور ***RTL*** ۷۱

۲-۱۳-۱-۳- خانوادهٔ منطقی دیود- ترانزیستور ***DTL*** ۷۲

۲-۱۳-۱-۴- خانوادهٔ منطقی ترانزیستور- ترانزیستور ***TTL*** ۷۲

۲-۱۳-۱-۵- خانوادهٔ منطقی کوپلاژ امیتر ***ECL***: ۷۳

۲-۱۳-۲- خانواده‌های منطقی مبتنی بر ترانزیستورهای اثر میدانی فلز-اکسید-نیمه-هادی ***MOSFET*** ۷۲

۲-۱۳-۲-۱- خانوادهٔ منطقی ***NMOS*** با بار مقاومتی: ۷۴

۲-۱۳-۲-۲- خانوادهٔ منطقی ***NMOS*** با بار افزایشی(همیشه اشباع): ۷۴

۲-۱۳-۲-۳- خانوادهٔ منطقی ***NMOS*** با بارتهی: ۷۴

فهرست مطالب

۲-۱۳-۲-۴- خانوادهٔ منطقی ***PMOS*** با بار مقاومتی: ۷۴

۲-۱۳-۲-۵- خانوادهٔ منطقی ***MOS*** مکمل ***CMOS*** ۷۴

۲-۱۳-۳- خانوادهٔ منطقی ***BiCMOS*** ۷۴

۲-۱۴- مشخصه‌های خانواده‌های منطقی ۷۴

تمرین‌های فصل دوم **۷۶**

۳-فصل سوم۸۱: ساده‌سازی توابع منطقی و معرفی سایرگیت‌های منطقی ۸۱

۳-۱- مقدمه ۸۱

۳-۲- روش جدول‌کارنو ۸۱

۳-۲-۱- به‌دست آوردن ساده‌ترین شکل ***(SOP)***توابع منطقی با استفاده از جدول‌کارنو ۸۲

۳-۲-۱-۱- جدول‌کارنو دو متغیره ۸۲

۳-۲-۱-۲- جدول‌کارنو سه متغیره ۸۳

۳-۲-۱-۳- جدول‌کارنو چهار متغیره ۸۶

۳-۲-۱-۴- جدول‌کارنو پنج متغیره ۸۹

۳-۲-۱-۵- جدول‌کارنو شش متغیره ۸۹

۳-۲-۲- به دست آوردن ساده‌ترین شکل توابع منطقی به‌صورت ضرب‌حاصل‌جمع‌ها (***POS***)با استفاده از جدول‌کارنو ۹۰

۳-۲-۳- ساده‌سازی توابع منطقی دارای جدول ناقص (دارای حالات بی‌اهمیت) با استفاده از جدول‌کارنو ۹۱

۳-۳- روش کویین- مک‌کلاسکی (روش جدول‌بندی) ۹۳

۳-۳-۱- به‌دست‌آوردن ساده‌ترین شکل توابع منطقی به‌صورت مجموع‌حاصل‌ضرب‌ها(*SOP*) با استفاده از روش کویین- مک‌کلاسکی ۹۴

۳-۳-۲- ساده‌سازی توابع منطقی دارای جدول ناقص (دارای حالات بی‌اهمیت) با استفاده از روش کویین- مک‌کلاسکی ۱۰۱

۳-۴- معرفی سایر عملگرها و گیتهای منطقی و ویژگی‌های آنها ۱۰۳

۳-۴-۱- معرفی عملگرها و گیت‌های منطقی دیگر ۱۰۳

۳-۴-۱-۱- عملگر و گیت منطقی ***NAND*** ۱۰۳

۳-۴-۱-۲- عملگر و گیت منطقی ***NOR*** ۱۰۳

۳-۴-۱-۳- عملگر و گیت منطقی ***XOR*** ۱۰۴

۳-۴-۱-۴- عملگر و گیت منطقی ***XNOR*** ۱۰۴

۳-۴-۱-۵- بافر ۱۰۴

۳-۵- توسعه پذیری گیت‌های منطقی ۱۰۵

۳-۵-۱- بررسی توسعه پذیری گیت‌های ***NOR , NAND*** ۱۰۶

۳-۵-۲- بررسی توسعه پذیری گیت‌های ***XOR , XNOR*** ۱۰۶

۳-۶- ویژگی‌های گیت‌های منطقی ۱۰۷

۳-۶-۱- ویژگی‌های گیت ***AND*** ۱۰۸

۳-۶-۲- ویژگی‌های گیت ***OR*** ۱۰۸

۳-۶-۳- ویژگی‌های گیت ***NAND*** ۱۰۹

۳-۶-۴- ویژگی‌های گیت ***NOR*** ۱۰۹

۳-۶-۵- ویژگی‌های گیت‌های ***XNOR*** و ***XOR*** ۱۰۹

۳-۶-۶- مواردی از کاربردهای گیت‌های ***XNOR*** و ***XOR*** ۱۱۲

۳-۷- مثال‌هایی از پیاده‌سازی توابع منطقی ۱۱۶

۳-۸- بافر سه حالته ۱۲۰

۳-۸-۱- نمونه‌هایی از کاربردهای بافرهای سه حالته ۱۲۰

۳-۸-۱-۱- ایجاد گذرگاه مشترک داده توسط بافر سه حالته ۱۲۰

۳-۸-۱-۲- ساخت گیت‌های منطقی با استفاده از بافرهای سه حالته ۱۲۱

۳-۹- گیت‌های همه منظوره ۱۲۲

۳-۹-۱- گیت همه منظوره ***NAND*** ۱۲۳

۳-۹-۲- گیت همه منظوره ***NOR*** ۱۲۴

فهرست مطالب

۳-۹-۳- مدار تمام $NAND$ ۱۲۶

۳-۹-۴- مدار تمام NOR ۱۲۸

۳-۱۰- پیاده سازی‌های دوطبقه مدارهای منطقی ۱۳۰

۳-۱۰-۱- نمایش توابع منطقی به شکل‌های AOI و OAI ۱۳۱

۳-۱۰-۲- روش‌های پیاده‌سازی دوطبقهٔ توابع منطقی نمایش داده شده به شکل SOP ۱۳۴

۳-۱۰-۲-۱- پیاده‌سازی دو طبقهٔ $AND-OR$ ۱۳۴

۳-۱۰-۲-۲- پیاده‌سازی دو طبقهٔ $NAND-NAND$ ۱۳۵

۳-۱۰-۳- روش‌های پیاده‌سازی دو طبقهٔ توابع منطقی نمایش داده شده به شکل POS ۱۳۵

۳-۱۰-۳-۱- پیاده‌سازی دو طبقهٔ $OR-AND$ ۱۳۵

۳-۱۰-۳-۲- پیاده‌سازی دو طبقهٔ $NOR-NOR$ ۱۳۶

۳-۱۰-۴- پیاده‌سازی‌های دو طبقهٔ AOI ۱۳۶

۳-۱۰-۴-۱- پیاده‌سازی دو طبقهٔ $AND-NOR$ ۱۳۶

۳-۱۰-۴-۲- پیاده‌سازی دو طبقهٔ $NAND-AND$ ۱۳۷

۳-۱۰-۵- پیاده‌سازی‌های دو طبقهٔ OAI ۱۳۷

۳-۱۰-۵-۱- پیاده‌سازی دو طبقهٔ $OR-NAND$ ۱۳۷

۳-۱۰-۵-۲- پیاده سازی دو طبقهٔ $NOR-OR$ ۱۳۸

۳-۱۱- پیاده‌سازی با استفاده از خانواده‌های منطقی خاص ۱۴۰

۳-۱۱-۱- پیاده‌سازی با استفاده از گیت‌های $NAND$ خانوادهٔ منطقی TTL کلکتور باز ۱۴۳

۳-۱۱-۲- پیاده‌سازی با استفاده از گیت‌های NOR خانوادهٔ منطقی ECL ۱۴۴

تمرین‌های فصل سوم **۱٤٦**

۴- فصل چهارم: تحلیل و طراحی مدارهای منطقی ترکیبی SSI **۱۵۱**

۴-۱- مقدمه ۱۵۱

۴-۲- تحلیل مدارهای منطقی ترکیبی ۱۵۲

۴-۳- طراحی مدارهای منطقی ترکیبی ۱۵۶

۴-۳-۱- نکات طراحی ۱۵۶

۴-۴- مدارهای جمع‌کننده و تفریق‌کننده ۱۵۷

۴-۴-۱- مدارهای جمع‌کننده : ۱۵۷

۴-۴-۱-۱- مدار نیم جمع‌کننده (جمع‌کنندهٔ ناقص) ۱۵۷

۴-۴-۱-۲- مدار تمام جمع‌کننده (جمع‌کنندهٔ کامل) ۱۶۱

۴-۴-۲- مدارهای تفریق‌کننده : ۱۶۴

۴-۴-۲-۱- مدار تفریق‌کنندهٔ ناقص (نیم تفریق‌کننده) ۱۶۵

۴-۴-۲-۲- مدار تمام تفریق‌کننده (تفریق‌کنندهٔ کامل) ۱۶۶

۴-۵- طراحی مبدل‌های کد ۱۶۷

۴-۵-۱- مبدل کد ***BCD*** به افزونی ۳ ۱۶۷

۴-۵-۲- مبدل کد ***AIKEN*** به ***84-2-1*** ۱۶۹

۴-۵-۳- مبدل کد ***BCD*** به ***7 SEGMENT*** ۱۷۰

۴-۶- مثال‌هایی از طراحی مدارهای ترکیبی ۱۷۲

تمرین‌های فصل چهارم **۱۷۷**

۵-فصل پنجم: مدارهای *MSI* و *LSI* و استفاده ازآن‌ها در طراحی مدارهای ترکیبی **۱۷۹**

۵-۱- مقدمه ۱۷۹

۵-۲- جمع‌کننده‌های موازی ۱۷۹

۵-۲-۱- جمع‌کنندهٔ موازی ***n*** بیتی ۱۸۰

۵-۲-۲- تفریق‌کنندهٔ موازی *n* بیتی ۱۸۱

۵-۲-۳- جمع‌کننده/ تفریق‌کنندهٔ موازی ۱۸۱

۵-۲-۴- جمع‌کننده موازی با استفاده از روش پیش‌بینی رقم‌نقلی ۱۸۲

۵-۲-۵- جمع‌کنندهٔ ***BCD*** ۱۸۴

۵-۲-۶- استفاده از جمع‌کنندهٔ موازی برای طراحی مبدل‌های کد ۱۸۷

۵-۳- مقایسه‌کنندهٔ دو عدد باینری *n* بیتی ۱۹۳

فهرست مطالب

۵-۳-۱ طراحی مقایسه‌کننده با استفاده از جمع‌کنندهٔ موازی ۱۹۶

۵-۴- دیکدر ۱۹۸

۵-۴-۱- دیکدر با خروجی فعال بالا ۱۹۸

۵-۴-۲ دیکدر با ورودی تواناساز ۱۹۹

۵-۴-۳- دیکدر با خروجی فعال پایین ۲۰۰

۵-۴-۴- توسعهٔ ورودی و خروجی‌های دیکدر(سری بستن دیکدرها) ۲۰۱

۵-۴-۵- مواردی ازکاربرد دیکدرها ۲۰۲

۵-۴-۵-۱ استفاده از دیکدر برای تواناسازی چند دستگاه و وسیلهٔ جانبی ۲۰۲

۵-۴-۵-۲- استفاده از دیکدر در طراحی مدارهای منطقی ترکیبی ۲۰۴

۵-۵- اینکدر ۲۰۸

۵-۵-۱- اینکدر اولویت‌دار(اینکدر با حق تقدم) ۲۱۱

۵-۶- دیمالتی‌پلکسر(تقسیم‌کنندهٔ داده) ***DMUX*** ۲۱۵

۵-۶-۱- توسعهٔ دیمالتی‌پلکسر ۲۱۷

۵-۷- مالتی‌پلکسر(انتخاب‌کنندهٔ داده) ۲۱۸

۵-۷-۱- طراحی یک مالتی‌پلکسر ۲۱۸

۵-۷-۲- مالتی‌پلکسر با ورودی تواناساز ۲۱۸

۵-۷-۳- توسعهٔ ورودی‌ها و خطوط انتخاب یک مالتی‌پلکسر ۲۲۰

۵-۷-۴- مالتی‌پلکسر با چند خروجی ۲۲۱

۵-۷-۵ مواردی از کاربرد مالتی‌پلکسرها ۲۲۲

۵-۷-۵-۱ استفاده از مالتی‌پلکسر در انتخاب بین چند داده ۲۲۲

۵-۷-۵-۲ استفاده از مالتی‌پلکسر برای ایجاد گذرگاه مشترک‌داده ۲۲۳

۵-۷-۵-۳ استفاده از مالتی‌پلکسر در پیاده‌سازی توابع منطقی ۲۲۵

۵-۷-۵-۳-۱- روش اول: پیاده‌سازی توابع منطقی با استفاده از مالتی‌پلکسر، بدون درجهٔ آزادی(درجهٔ آزادی صفر) ۲۲۵

۵-۷-۵-۳-۲- روش‌دوم: پیاده‌سازی توابع منطقی با استفاده ازمالتی‌پلکسر، با درجهٔ آزادی

یک ۲۲۶
۵-۷-۵-۳-۳- پیاده‌سازی توابع منطقی با استفاده از مالتی‌پلکسر بادرجهٔ آزادی بالاتر ۲۳۰
۵-۸- قطعات منطقی قابل‌برنامه‌ریزی ***PLD*** ۲۳۱
۵-۸-۱- حافظهٔ فقط خواندنی ***ROM*** ۲۳۳
۵-۸-۱-۱- اساس عملکرد ***ROM***ها و ساختار داخلی آن‌ها ۲۳۳
۵-۸-۱-۲- انواع ***ROM***ها ۲۳۴
۵-۸-۱-۳- توسعهٔ ***ROM*** ۲۳۶
۵-۸-۱-۴- پیاده‌سازی توابع منطقی ترکیبی با ***ROM*** ۲۳۸
۵-۸-۲- آرایهٔ منطقی قابل‌برنامه‌ریزی ***PLA*** ۲۴۲
۵-۸-۲-۱- ساختار داخلی ***PLA*** ۲۴۲
۵-۸-۲-۲- پیاده‌سازی توابع منطقی با ***PLA*** ۲۴۳
۵-۸-۳- منطق آرایه‌ای برنامه‌ریزی شده ***PAL*** ۲۴۶
۵-۸-۳-۱- ساختار داخلی ***PAL*** ۲۴۷
۵-۸-۳-۲- پیاده‌سازی توابع منطقی با ***PAL*** ۲۴۸
تمرین‌های فصل پنجم **۲۵۰**

۶- فصل ششم: فلیپ‌فلاپ‌ها و مدارهای ترتیبی سنکرون **۲۵۷**
۶-۱- مقدمه ۲۵۷
۶-۲- فلیپ‌فلاپ‌های پایه(لچ‌ها) ۲۵۸
۶-۲-۱- فلیپ‌فلاپ پایهٔ ***NOR***(لچ ***SR***) ۲۵۹
۶-۲-۲- فلیپ‌فلاپ پایهٔ ***NAND***(لچ $\overline{S}$ $\overline{R}$) ۲۶۰
۶-۳- فلیپ‌فلاپ‌های ساعت‌دار ۲۶۱
۶-۳-۱- فلیپ‌فلاپ ***SR*** ۲۶۱
۶-۳-۲- فلیپ‌فلاپ ***D*** ۲۶۳

فهرست مطالب

۶-۳-۳- فلیپ‌فلاپ ***JK*** ۲۶۴

۶-۳-۴- فلیپ‌فلاپ ***T*** ۲۶۵

۶-۴- فلیپ‌فلاپ‌های مورد استفاده در مدارهای ترتیبی همزمان (سنکرون) ۲۶۶

۶-۴-۱- استفاده از مشتق‌گیر ۲۶۷

۶-۴-۲- فلیپ‌فلاپ تابع - متبوع ۲۶۸

۶-۴-۳- فلیپ‌فلاپ‌های حساس به لبهٔ پالس ساعت یا تریگر شوندهٔ لبه‌ای ۲۶۹

۶-۴-۴- ورودی‌های غیرهمزمان(آسنکرون) ***Pr(Pr eset)*** و ***Cl(Clear)*** در فلیپ‌فلاپ‌ها ۲۷۱

۶-۵- تحلیل مدارهای ترتیبی سنکرون ۲۷۲

۶-۵-۱- مدل میلی و مور ۲۷۲

۶-۵-۲- به دست آوردن جدول، معادلهٔ و نمودار حالت یک مدار ترتیبی سنکرون ۲۷۳

۶-۵-۲-۱- به دست آوردن جدول حالت ۲۷۳

۶-۵-۲-۲- به دست آوردن معادلهٔ حالت ۲۷۵

۶-۵-۲-۳- رسم نمودار حالت ۲۷۶

۶-۵-۳- مثال‌هایی از تحلیل مدارهای ترتیبی سنکرون ۲۷۶

۶-۶- طراحی مدارهای ترتیبی سنکرون ۲۸۰

۶-۶-۱- به دست آوردن نمودار حالت از تعریف مسئله ۲۸۱

۶-۶-۲- روش‌های کاهش حالات ۲۸۲

۶-۶-۲-۱- روشی ساده برای کاهش حالات ۲۸۳

۶-۶-۲-۲- روش کلی کاهش حالات ۲۸۷

۶-۶-۲-۲-۱- به دست آوردن جدول ایجاب و زوج‌های معادل یا سازگار ۲۸۸

۶-۶-۲-۲-۲- رسم نمودار ادغام و پیداکردن مجموعه‌های معادل یا سازگار ۲۹۱

۶-۶-۲-۲-۳- انتخاب حداقل حالت‌های مورد نیاز با توجه به شرط بسته‌بودن و پوششی ۲۹۲

۶-۶-۳- جدول تحریک فلیپ‌فلاپ‌ها و انتخاب نوع فلیپ‌فلاپ ۲۹۵

۶-۶-۳-۱- جدول تحریک فلیپ‌فلاپ‌ها ۲۹۵

۶-۶-۳-۱-۱- جدول تحریک فلیپ‌فلاپ ***SR*** ۲۹۵

۶-۶-۳-۱-۲- جدول تحریک فلیپ‌فلاپ ***D*** ۲۹۶

۶-۶-۳-۱-۳- جدول تحریک فلیپ‌فلاپ ***JK*** ۲۹۷

۶-۶-۳-۱-۴- جدول تحریک فلیپ‌فلاپ T ۲۹۷

۶-۶-۳-۲- انتخاب نوع فلیپ‌فلاپ ۲۹۸

۶-۶-۴- انتساب دودویی به حالت‌ها ۲۹۹

۶-۶-۵- به دست آوردن جدول تحریک مدار ۳۰۰

۶-۶-۶- به دست آوردن توابع ورودی فلیپ‌فلاپ‌ها ۳۰۰

۶-۶-۷- رسم نمودار منطقی مدار ۳۰۱

۶-۶-۸- مثال‌هایی از طراحی مدارهای منطقی ترتیبی سنکرون ۳۰۶

تمرین‌های فصل ششم **۳۱۱**

۷-فصل هفتم:ثبات‌ها و حافظه‌های با دستیابی تصادفی **۳۱۹**

۷-۱- مقدمه ۳۱۹

۷-۲- ثبات‌ها(رجیسترها) ۳۱۹

۷-۲-۱- ثباتهای موازی ۳۲۰

۷-۲-۱-۱- ثبات با امکان بارگذاری موازی ۳۲۱

۷-۲-۱-۲- طراحی مدارهای منطقی سنکرون با استفاده از ثبات‌ها ۳۲۳

۷-۲-۱-۳- ثبات شیفت یک جهته(شیفت به راست یا چپ) ۳۲۸

۷-۲-۲- ثبات شیفت دوجهته با امکان بارگذاری موازی ۳۳۳

۷-۳- حافظه‌های با دستیابی تصادفی ***RAM*** ۳۳۴

۷-۳-۱- انواع حافظه‌ها ۳۳۵

۷-۳-۲- ساختار یک سلول یک بیتی حافظه ۳۳۶

۷-۳-۳- مثالی از ساختار یک آرایهٔ حافظهٔ ***RAM*** ۳۳۷

۷-۳-۳-۱- مراحل خواندن از و نوشتن در مکان خاصی از حافظه ۳۳۹

فهرست مطالب

۷-۳-۴- ایجاد حافظهٔ با ظرفیت بیشتر با استفاده از حافظه‌های با ظرفیت کم‌تر ۳۴۰

تمرین‌های فصل هفتم **۳۴۳**

۸- فصل هشتم: شمارنده‌های سنکرون و شمارنده‌های موج‌گونه ۳۱۹

۸-۱- مقدمه ۳۱۹

۸-۲- شمارنده‌های سنکرون ۳۱۹

۸-۲-۱- شمارنده‌های غیرباینری ۳۱۹

۸-۲-۲- مثال‌هایی از شمارنده‌های کامل ۳۱۹

۸-۲-۲-۱- مثال‌هایی از شمارنده‌های ناقص ۳۲۳

۸-۲-۳- شمارنده‌های باینری ۳۳۱

۸-۲-۳-۱- شمارندهٔ بالاشمار ۳۳۱

۸-۲-۳-۲- شمارندهٔ بالاشمار، پایین‌شمار ۳۳۴

۸-۲-۴- سیگنال زمان-کلمه ۳۳۹

۸-۲-۵- سیگنال‌های ترتیب زمانی ۳۴۰

۸-۲-۵-۱- مدارهای ایجادکنندهٔ سیگنال‌های ترتیب زمانی ۳۴۱

۸-۲-۵-۱-۱- استفاده از شمارنده و دیکدر ۳۴۱

۸-۲-۵-۱-۲- شمارندهٔ حلقوی ۳۴۲

۸-۲-۵-۱-۳- شمارندهٔ جانسون ۳۴۲

۸-۳- شمارنده‌های موج‌گونه ۳۴۵

۸-۳-۱- شمارنده‌های باینری(مبنای ۲) بالاشمار(صعودی) و پایین‌شمار(نزولی) موج‌گونه ۳۴۵

۸-۳-۲- شمارنده‌های موج‌گونهٔ غیرباینری ۳۴۸

۸-۳-۲-۱- استفاده از ***PR(Pr eset)*** و ***CLR(Clear)*** برای طراحی شمارنده‌های موج‌گونه۳۴۸

۸-۳-۲-۲- طراحی شمارنده‌های موج گونه بدون استفاده از *PR* و *CLR* ۳۵۱

تمرین‌های فصل هشتم **۳۸۴**