

آموزش استفاده از نرمافزار Xilinx ISE Design Suite v14.7

این آموزش در دانشگاه سیستان و بلوچستان جهت اهداف آموزشی، غیر تجاری و استفادهی رایگان تهیه گردیده است. تمامی علائم تجاری، لوگوها، و نرمافزارهای مورد ا ستفاده در این آموزش جزء داراییهای شرکت Xilinx یا دیگر شرکای تجاری آن میباشد.

نسخەي فايل	تاريخ آخرين ويرايش
١/٦	فروردین ۱۳۹۹

با تشکر ویژه از دکتر محمدحسین سرگلزائی، مدیریت گروه کامپیوتر دانشگاه سیستان و بلوچستان، جهت کمک در تهیه و انتشار این محتوای آموزشی.

لطفاً برای کمک به افزایش هرچه بیشــتر کیفیت این آموزش، هرگونه انتقاد، پیشــنهاد، و یا ایراد را از طریق ایمیل زیر اطلاع دهید تا در اولین فرصت به آنها رسیدگی شود.

ali.abbasi@pgs.usb.ac.ir

فهرست مطالب

۱	مقدمه و معرفی نرمافزار
۲	نصب نرمافزار
۹	آشنایی با محیط نرمافزار
۱۰	ايجاد يک پروژهي جديد
۱۳	اضافه کردن Source به پروژه
۱۷	سنتز
77	پیادەسازى (ترجمە _ جايابى _ مسيريابى)
۲۳	شېيەسازى رفتارى
۲٦	شېيەسازى زمانى
۲۷	استفاده از نمایشگر شکل موج نرمافزار Xilinx ISIM
۳۰	گزارش طراحی
۳۱	تولید فایل برنامەریزی
۳۲	برنامهریزی تراشه به کمک نرمافزار ISE iMPACT

۱. مقدمه و معرفی نرمافزار

شرکتهای تولید کنندهی تراشههای برنامه پذیر، برای سنتز طرحها و برنامه ریزی تراشههای خود، نرمافزارهای خاصی را تولید و معرفی میکنند. دو مورد از معروف ترین شرکتهای تولیدکننده ی تراشههای برنامه پذیر FPGA، شرکتهای Altera و Xilinx هستند که هر کدام از آنها نرمافزارهای انحصاری خود را برای این کار دارند. به عنوان مثال، اگر شما تصمیم به برنامه ریزی تراشه ی FPGA سری Vocione 4 که تو سط شرکت Altera تولید می شود را دارید، می بایست از نرمافزار تولید شده توسط این شرکت یعنی Quartus استفاده نمایید.

مشابه شرکت Altera، شرکت Xilinx نیز نرمافزار انحصاری خودش را برای برنامهریزی تراشههایش تولید کرده است. نرمافزار ISE'Design Suite، تو سط شرکت Xilinx برای برنامهریزی ترا شههای CPLD^T،FPGA، و برخی دیگر ترا شههای برنامهپذیر این شرکت از سال ۲۰۱۰ میلادی به بازار عرضه شد و آخرین نسخهی آن در اواخر سال ۲۰۱۳ میلادی با شماره نسخهی ۱٤,۷ در دسترس عموم قرار گرفت. از سال ۲۰۱۲، شرکت Xilinx نرمافزار دیگری مشابه ISE تحت عنوان Vivado را نیز عرضه کرد و پس از آن در سال ۲۰۱۳ تو سعهی نرمافزار ISE را متوقف نمود. تفاوت ا صلی این دو نرمافزار، جدا از توانمندی بیشتر نرمافزار مافزار می از آن در سال ۲۰۱۳ تو سعهی نرمافزار دیگری مشابه Kinz تحت عنوان Kintex کلی، می توان گفت نرمافزار Vivado به عنوان یک ابزار سنتز، در تراشههایی است که تو سط آنها پشتیبانی می شود. به صورت برخی اعضای خانوادههای UltraScale تنها از سری هفتم تراشههای است که این ماند Xilinx می شود. به صورت از خانوادههای قدیمی تر Apera این شرکت همچنان بر عهدهی نرمافزار ISE می باشده است)، در حالی که پشتیبانی از خانوادههای قدیمی تر Apera این شرکت همچنان بر عهدهی نرمافزار ISE می باز کانی که باز از می شود. به صورت

آموزش پیش رو بر ا ساس ن سخهی ۱٤٫۷ نرمافزار Xilinx ISE Design Suite نو شته شده ا ست، اما می توان از آن در اکثر نسخههای این نرمافزار بهره برد.

¹ Field-programmable Gate Array

² Integrated Synthesis Environment

³ Complex Programmable Logic Device

۲. نصب نرمافزار

نرمافزار ISE دارای نسخههای متعددی می باشد که می توان آنها را از سایت شرکت Xilinx خریداری کرده و فایل نصب آن را دانلود و یا در قالب دی سک دریافت نمود. همچنین این نرمافزار دارای ن سخهای رایگان با عنوان WebPACK نیز می با شد که امکانات کمتری ن سبت به دیگر ن سخهها در اختیار کاربر می گذارد، اما برای اهداف آموز شی در دان شگاهها کاملاً منا سب است.

در لیست زیر سیستمهای عاملی که به صورت رسمی از نسخهی ۱٤٫۷ این نرمافزار پشتیبانی میکنند آورده شده است (البته امکان اجرای نرمافزار فوق بر روی سیستمهای عامل دیگر نیز با اعمال برخی تغییرات وجود دارد).

- Microsoft Windows 10 (32 and 64 bits)
- SUSE Linux Enterprise 11 (32 and 64 bits)
- Red Hat Enterprise Workstation 4, 5, and 6 (32 and 64 bits)

پس از دریافت فایل های نصب نرمافزار و اجرای فایل اصلی نصب که معمولاً "xsetup.exe" نام گذاری شده است، پنجرهی شکل ۱ برای شما باز خواهد شد. برای ادامه، کلید "Next" را انتخاب کنید.



شکل ۱. صفحهی ابتدایی نصب نرمافزار

با فشردن کلید "Next"، شما وارد صفحههای پذیرفتن قوانین در دو صفحه (شکلهای ۲ و ۳) خواهید شد که برای نصب نرمافزار، ملزم به پذیرفتن آنها هستید. پس از انتخاب موارد مشخص شده، گزینهی "Next" را انتخاب کنید.



شکل ۳. صفحهی دوم پذیرفتن مقررات استفاده از نرمافزار

در صورتی که قوانین را پذیرفته باشید، وارد صفحهی شکل ٤ خواهید شد تا نسخهای از نرمافزار ISE که قصد نصب آن را دارید انتخاب کنید. در این آموزش ما از نسخهی WebPack نرمافزار که یک نسخهی رایگان است، استفاده خواهیم نمود.



شکل ٤. انتخاب نسخەى نرمافزار براى نصب

پس از انتخاب نسخهی نرمافزار، مشابه شکل ۵ از شما جهت نصب تعدادی افزونه سؤال پر سیده خواهد شد که بسته به نیازتان آنها را انتخاب میکنید. (در صورتی که با این افزونهها آشنایی ندارید، بدون تغییر آنها ادامه دهید.)

همچنین با انتخاب گزینهای که با فلش در شکل نشان داده شده است، نرمافزار هنگام نصب از چند هستهی پردازنده به صورت همزمان استفاده خواهد کرد که روند نصب را تسریع میبخشد. در صورت انتخاب این گزینه پیشنهاد می شود تمامی نرمافزارهایی که باز هستند را ببندید؛ زیرا توان پردازشی سیستم به شدت پایین خواهد آمد.

Select Installation Options Select the desired installation options below. Selection of these optio programs being run at the conclusion of the installation process.	ns may result in additional
Select the desired installation options below. Selection of these option programs being run at the conclusion of the installation process.	ns may result in additional
DESIGN SUITE	
DESIGN SUITE Enabling this option will speed up installation but may slow down other active application	
	ins.
Acquire or Manage a License Key	
Install WinPCap for Ethernet Hardware Co-simulation	
✓ Install Cable Drivers	te Villey (Aluera e elle d'Ace)
Enable weblak to send software, in and device usage statistics	s to Xilinx (Always enabled for w
SF 14.7 Installer	
Welcome	
Accept License Agreements	
Select Products to Install	Select/Deselect Al
-> Select Installation Options	Select Deselect Al
Description of Acquire or Manage a License Key	

Most Xilinx applications now require a license key file in order to i the Xilinx License Configuration Manager will be opened in order to	run. If this selection is enabled,
a new license file or in managing an existing license file. If this is	your first time using Xilinx ISE
Design Suite 14.7, it is highly recommended that you use this app	lication to acquire or install
your license file.	
Corvright (c) 1995-2013 Xilinx, Inc. All rights	
served.	
rands included herein are trademarks of Xilinx,	
nc. All other trademarks are the property of	

در ادامهی نصب، مشابه شکل ٦، راجع به آدرس نصب نرمافزار و برخی موارد مانند ایجاد میانبر از شما پر سیده خواهد شد که با گذر از این صفحه و فشردن کلید "Next"، خلاصهای از تنظیماتی که در فرآیند نصب انتخاب کردهاید، مانند شکل ۷، برایتان نمایان خواهد شد. پس از تأیید نهایی، نرمافزار شروع به نصب خواهد کرد (شکل ۸).

¹ Shortcut



شکل ۷. خلاصهای از تنظیمات انتخاب شده برای نصب نرمافزار



شکل ۸ صفحهی نصب نرمافزار

در حین نصب نرمافزار، ممکن است بسته به سیستم شما، صفحهی نصب تعدادی نرمافزارهای جانبی مانند ++ Microsoft Visual که برای اجرای نرمافزار ISE اجباری هستند، باز شوند. فرآیند نصب این موارد را نیز طی کنید.

پس از پایان مراحل فوق و نصب کامل نرمافزار، در صورتی که خطایی وجود نداشته باشد، پنجرهای جدید با نام "Xilinx License Configuration Manager" برای شما باز خواهد شد تا فایل مجوز ^اکه یک فایل با فرمت "ic." و یا "xml." میباشد را برای نرمافزار مشخص کنید (این کار برای جلوگیری از سوء استفادههای احتمالی حتی برای نسخههای رایگان اجباری است). همچنین در صورتی که این پنجره به صورت خودکار باز نشد، می توانید عبارت "Manage Xilinx Licenses" را در میان نرمافزارهای موجود در کامپیوتر خود جستجو کنید.

برای ثبت مجوز، ابتدا فایل مجوز را در یک محل دلخواه در همان درایوی که نرمافزار را نصب کردهاید کپی نمایید. سپس همانطور که در شکل ۹ نشان داده شده است، وارد پنجرهی "Manage Licenses" در نرمافزار مدیریت مجوز شده و بر روی

¹ License

^۲ فایل مجوز را میتوانید از نمایندههای شـرکت Xilinx در محل زندگی خود و یا با پر کردن فرم مربوطه به صـورت آنلاین در سـایت این شـرکت دریافت نمایید.

کلید "...Load License" کلیک کنید. با کلیک بر روی این گزینه، یک File Dialog برای انتخاب فایل مجوز باز خواهد شد. فایل را انتخاب کرده و بر روی گزینهی "Open" کلیک نمایید. در صـورت صـحیح بودن فایل مجوز، پیغامی مبتنی بر موفقیتآمیز بودن فرآیند به شما نشان داده خواهد شد. پس از این مرحله می توانید تمام پنجرهها را بسته و شروع به استفاده از نرمافزار نمایید.

<u> </u>									^
cquire a License	Manage Licenses E	lorrow/Restore Licenses	Return Licer	nses Intern	et Settings	1			
Instructions: Click the certificate-based licens ocal .Xilinx directory. Load License To point to a floating : will need to make the Usersel	e "Load License" button se (.lic file) into the loca server license, or to poi se settings outside of thi	to either load a respons il "Xilinx directory. Xilinx : nt to license files in locati s application.) Examples	XML file into XL applications autor ons other than .X 1234@server;C	CM to activate y matically detect Glinx, set one of \licenses\Xilinx.	vour machine valid, node-l the environ lic (Windows	e for Xilinx tools locked licenses ment variables l s) or 1234@serv	and IP, (*.lic) re below. (ver:/usr/	or copy a isiding in th Linux users local/flexim	ie i
(ILINXD LICENSE F									
M LICENSE FILE						Set			
	Hide Built-in Fr	ee Licenses					c	lear Cache	1
					1	1			_
eature	S/W or IP Core	Version Expiration Limit Date	License Type	Count	Licenses In Use	Information			
eature	S/W or IP Core	Version Expiration Limit Date	License Type	Count	Licenses In Use	Information			
eature	S/W or IP Core	Version Expiration Limit Date	License Type	Count	Licenses In Use	Information			
eature	S/W or IP Core	Version Expiration Limit Date	License Type	Count	Licenses In Use	Information			
eature eature Local System Informa Hostname: Network Information Control Control Serial Numb	S/W or IP Core tion ALI-DEs er:	Version Expiration Limit Date	License Type	Count	Licenses In Use	Information			

شکل ۹. نرم^{افز}ار مدیریت مجوز شرکت Xilinx در صورتی که از سیستم عامل ویندوز ۱۰ استفاده میکنید، ممکن است همچنان پس از نصب نرمافزار قادر به اجرای آن نباشید. برای رفع این مشکل مراحل زیر را طی کنید:

۱- وارد آدرس زیر در محل نصب نرمافزار شوید.

<install path>\Xilinx\14.7\ISE DS\ISE\lib\nt64\

۲– نام فایل "libPortability.dll.orig" را به "libPortability.dll.orig" تغییر دهید.

۳- از فایل "libPortabilityNOSH.dll" یک کپی ایجاد کرده و نام آن را "libPortability.dll" قرار دهید.

٤- این بار وارد آدرس زیر شده و مراحل ۲ و ۳ را برای فایل های داخل این یوشه نیز تکرار کنید.

<install path>\Xilinx\14.7\ISE DS\common\lib\nt64\

حال سیستم خود را Restart کرده و از استفاده از نرمافزار لذت ببرید.

۳. آشنایی با محیط نرمافزار

پس از انجام مراحل فوق و اجرای نرمافزار وارد صفحهای مشابه شکل ۱۰ خواهید شد. محیط اصلی نرمافزار از چهار بخش اصلی تشکیل شده است که در ادامه هر کدام را به صورت کامل توضیح خواهیم داد.

ISE Project Navigator (P 20131013) - C\Xilinx\Projection	ect1\Project1\Project1 vice - [Design Summary]						_	a x
File Edit View Project Source Process	Tools Window Lavout Help							
	Summary			Module1 Pr	oject Status			
View W State Implementation () Mill Simulation	IOB Properties	Project File:	Project1.xise		Parser Errors:		No Errors	
Hierarchy	Module Level Utilization	Module Name:	Module1		Implementation	n State:	New	
Projecti xc6sk4-3tap144	Pinout Report	Target Device:	xc6sbv4-3tqg144		• Errors:			
- Module1 - Behavioral (Module1	Clock Report	Product Version:	ISE 14.7		• Warnin	gs:		
(E)	Static Timing	Design Goal:	Balanced		Routing	Results:		
	Parser Messages	Design Strategy:	Xiinx Default (unlocked)		• Timing	Constraints:		
2	A Synthesis Messages	Environment:			Final Ti	iming Score:		
	Translation Messages					1		
	Map Messages Place and Route Messages			De				E
اینجرہ می طراحی ا	Timing Messages	Report Name	Status	Generate 2	فضاى	Warnings	Infos	
	🗋 Bitgen Messages	Synthesis Report						
	All Implementation Messages Detailed Reports	Translation Report						
		Map Report						
No Processes Running	Translation Report	Place and Route Report						
Processes: Module1 - Behavioral	Map Report Place and Boute Report	Power Report						
🚉 🕂 🗵 Design Summary/Reports	Post-PAR Static Timing Report	Post-PAR Static Timing Report						
Design Utilities	Device Deve eties	Bitgen Report						
Oser Constraints Synthesize - XST	Enable Message Filtering							
	Optional Design Summary Contents			Secondary Reports				[-]
Generate Programming File	Show Clock Report	Report Name	Status		·	Generated		
Analyze Design Using ChipScope	Show Warnings							
	Show Errors			Date Generated: 1	0/25/2019 - 20:07:3	6		
1								
ينجرهي فرأيندها								
Start Bt Daving D Eles D Libraries	2. 0	Refer Summer						
a contraction of the second			2					
Console	1 min m							++ 0 # X
DINFO:HDLCompiler:1061 - Parsing V	<pre>lewer HDL file "C:/Xilinx/Projectl/Projec</pre>	tl/Modulel.vhd" into library	work					<u>^</u>
INFO: ProjectMgmt - Parsing design	hierarchy completed successfully.							
		1 1 .6	.					~
<		جرەي ئىسون	پہ					>
🗄 Console 🥝 Errors 🔔 Warnings 😹 Find	in Files Results							

پنجرهی طراحی: در این بخش تمامی قسمتهای پروژه (به عنوان مثال ماژولها) نمایش داده میشوند. **پنجرهی فرآیندها**: در این بخش وضـعیت انجام هر یک از فرآیندهای طراحی و تولید طرح مانند ســنتز، پیادهسـازی، و یا شبیهسازی نمایش داده خواهد شد.

پنجرهی کنسول: تمامی اعلانات در زمان کار با نرمافزار، مانند و ضعیت نرمافزار، خطاها و اخطارها، در این قدسمت به کاربر اعلام می شود.

فضای کار: بخش اصلی نرمافزار فضای کار است که تو صیفها و فعالیتهای مرتبط با تولید طرح در آن انجام می شود. به عنوان مثال، در شکل ۱۰ پنجرهای تحت عنوان خلا صهی طراحی⁽ به عنوان گزارش طراحی نیز شناخته می شود) در بخش فضای کار باز می با شد. این پنجره اطلاعات مفیدی از فرآیند کار مانند بهینه سازیها، میزان تأخیر و شرح منابع م صرفی به کاربر می دهد که در بخش ۱۱ دسترسی به آن را توضیح خواهیم داد.

شکل ۱۰. محیط نرمافزار ISE

¹ Design Summary

٤. ایجاد یک پروژهی جدید

برای شروع بـه کـار بـا نرمافـزار، اولـین کـار ایجـاد یـک پـروژهی جدیـد خواهـد بـود. بـرای ایـن کـار از منـوی "File" گزینهی "New Project" را انتخاب کنید. پس از انتخاب این گزینه، صفحهی شکل ۱۱ باز خواهد شد.

			×
New Project	Wizard		
Create New Pro	piect		
create new rite	Joe		
Specify project location	and type.		
Enter a name, location	ns, and comment for the project		
N <u>a</u> me:	Full_Adder		
Location:	C:\Xilinx\Project1\Full_Adder		2
Working Directory:	C:\Xilinx\Project1\Full_Adder		2
Description:	Sample Project For ISE Tutorial		
	Ali Abbasi		
	ECE, University of Sistan and Baluchestan		
Select the type of top	-level source for the project		
and the type of top			
Top-level source type	a.		
Top-level source type	e:		
Top-level source type	e:		~
Top-level source type	e:		×
Top-level source type HDL	e:	Next	Cancel
Top-level source type HDL More Info	e:	Next	Cancel
Top-level source type HDL More Info		Next	Cancel
Top-level source type HDL	یع مکل ۱۱. انتخاب نام و محل ذخیرهی پروژه	<u>N</u> ext	Cancel
Top-level source type HDL	e: مکل ۱۱. انتخاب نام و محل ذخیرهی پروژه	<u>N</u> ext	Cancel
Top-level source type HDL	یے مکل ۱۱. انتخاب نام و محل ذخیرہی پروڑہ	<u>N</u> ext	Cancel
Top-level source type HDL	یع مکل ۱۱. انتخاب نام و محل ذخیرهی پروژه بد.	<u>Next</u> ئ ى خود انتخاب كن	کی نام برای پروژہ
Top-level source type HDL	یکی ۱۱. انتخاب نام و محل ذخیرهی پروژه بکل ۱۱. انتخاب نام و محل ذخیره کی پروژه بد.	<u>Next</u> ی خود انتخاب کن یدوژه را مشخص	ت یک نام برای پروژه Loc: آدر سی ذخبر وی

Working Directory: آدرس پو شهای که قرصد ا ضافه کردن ماژولها و تمامی فایل های پروژهی خود را دارید تعیین کنید.

(آدرس این پوشه معمولاً با آدرس بخش قبلی یکسان است.)

Description: در صورت نیاز، توضیحاتی راجع به پروژهی خود در این قسمت وارد نمایید.

Top-level source type: در آخرین بخش، باید نوع بالاترین ماژول پروژهی خود را مشخص کنید که می تواند به شکل های مختلفی مانند شماتیک^۱و یا کد تو صیف سختافزار^۲با شد. برای رو شن تر شدن بیشتر این مفهوم، فرض کنید قصد ساخت یک جمع کننده ی چهار بیتی به کمک چهار جمع کننده ی تک بیتی را دارید. در این طراحی، بالاترین سطح (ماژول) پروژه، بخشی است که نحوه ی اتصال بخش های کوچکتر یعنی جمع کننده های تک بیتی به یکدیگر را نشان می دهد. حال در این بخشی است که نحوه ی اتصال بخش های کوچکتر یعنی جمع کننده های تک بیتی به یکدیگر را نشان می دهد. حال در این بخشی است که نحوه ی اتصال بخش های کوچکتر یعنی جمع کننده های تک بیتی به یکدیگر را نشان می دهد. حال در این بخشی است که نحوه ی اتصال بخش های کوچکتر یعنی جمع کننده های تک بیتی به یکدیگر را نشان می دهد. حال در این قسمت باید مشخص کنید که بالاترین سطح طراحی شما به چه صورتی خواهد بود؛ اگر این طراحی را به کمک کدهای تو صیف سختافزار انجام می دهید، گزینه ی مربوطه را انتخاب کنید. اگر هم قصد تو صیف مدار با استفاده از شمای مدار و سیم بندی بخش های آن به صورت دستی را دارید، گزینه ی شماتیک پرداخته نخواهد شد. این طراحی ما در این مدار و سیم بندی بخشهای آن به صورت دستی را دارید، گزینه ی شمانیک را انتخاب کنید. اگر هم قصد تو صیف مدار با استفاده از شمای مدار و سیم بندی بخش های آن به صورت دستی را دارید، گزینه ی شماتیک را انتخاب کنید. انتخاب کنید. انتخاب مید. این آموزش، زبان توصیف سیم بندی بخش های آن به صورت دستی را دارید، گزینه ی شماتیک پرداخته نخواهد شد.

پس از انتخاب گزینهی "Next"، وارد صفحهای خواهید شد که باید برخی اطلاعات پایه، مانند زبان تو صیف و مشخصات تراشهای که قصد برنامه ریزی آن را دارید، انتخاب کنید (شکل ۱۲). در صورتی که قصد پیاده سازی واقعی طرح را ندارید، انتخاب نوع تراشه اهمیتی ندارد و میتوانید بدون تغییر دادن مقادیر مربوط به این بخش ادامه دهید.

Project Settings		
Specify device and project properties.		
Select the device and design flow for the pro-	oject	
Property Name	Value	
Evaluation Development Board	None Specified	
Product Category	All	
Family	Spartan6	
Device	XC6SLX4	
Package	TQG144	
Speed	-3	
Top-Level Source Type	HDL	
Synthesis Tool	XST (VHDL/Verilog)	
Simulator	ISim (VHDL/Verilog)	
Preferred Language	VHDL	
Property Specification in Project File	Store all values	
Manual Compile Order		
VHDL Source Analysis Standard	VHDL-93	
Enable Message Filtering		

شکل ۱۲. انتخاب مشخصات پایهی پروژه

¹ Schematic

² HDL: Hardware Description Language

Evaluation Development Board: اگر از بوردهای آموزشی مورد تأیید شرکت Xilinx استفاده میکنید، نوع آن را در این

بخش انتخاب کنید. Product Category دستهبندی تراشهی خود را انتخاب کنید. (به عنوان مثال همهمنظوره و یا نظامی) Family خانوادهی تراشه ی مورد نظر را در این بخش مشخص کنید. Device شناسهی دقیق تراشه را انتخاب کنید. Package ساختار بستهبندی تراشه را مشخص کنید. Speed ردهی سرعتی تراشه را انتخاب کنید. Speed رو یا Synthesis Tool از شرکت Speed از شرکت Xilinx و یا ModelSim از شرکت Xilinx و یا ModelSim از شرکت Speed از شرکت Speed از شرکت Speed از می کنید. Speed شرکت Speed از زبانی که تصمیم دارید توصیف را به کمک آن انجام دهید.

Manual Compile Order: در صورتی که میخواهید سلسه مراتب ماژولها برای سنتز و شبیه سازی را به صورت دستی مشخص کنید، این گزینه را انتخاب کنید.

. VHDL Source Analysis Standard: استاندارد زبان VHDL که قصد استفاده از آن را دارید، مشخص کنید.

با فشردن کلید "Next"، وارد صفحهای خواهید شد که خلاصهی انتخابهای شما در روند ایجاد پروژه را نشان میدهد. در صورت صحیح بودن اطلاعات، کلید "Finish" را فشار دهید تا پروژهی شما ایجاد شود. حال به صفحهی اول باز خواهید گشت و باید source های مورد نیاز خود را به پروژه اضافه نمایید. در این آموزش، برای توضیح مراحل کار با نرمافزار، ابتدا یک تمامجمعکننده در سطح گیت تو صیف خواهد شد، سپس در ستی عملکرد آن سنجیده شده، و در نهایت بر روی یک تراشهی Spartan 6 پیادهسازی می شود.

۵. اضافه کردن Source به پروژه

یک پروژهی توصیف سختافزار میتواند از بخشهای مختلفی تشکیل شده باشد؛ به عنوان مثال، یک پروژهی ساخت تمام جمعکننده، شامل یک فایل برای تو صیف عملکرد مدار، یک فایل به نام میز آزمایش برای برر سی صحت عملکرد مدار، و یک فایل برای تعریف محدودیتهای پیادهسازی^۲مثل تعیین پینهای ورودی و خروجی خواهد بود. به هر یک از این بخشها، یک source می گویند که در ادامه راجع به نحوهی ایجاد آنها در نرمافزار ISE صحبت خواهیم کرد.

اولین source که باید به این پروژه اضافه شود، source توصیف تمامجمعکننده میباشد. برای این کار، بر روی کلیدی که در شکل ۱۳ نشان داده شده است کلیک کنید.



¹ Test Bench

² Implementation Constraints File

پس از انتخاب گزینهی فوق، پنجرهی شکل ۱٤ برای شما نمایش داده خواهد شد که باید با توجه به نیاز خود یک گزینه را انتخاب کنید. در این مرحله ما قصد توصیف یک ماژول به کمک زبان VHDL را داریم، پس گزینهی مربوطه را انتخاب میکنیم. همچنین باید برای این source یک نام نیز انتخاب شود که با توجه به ماژول مورد نظر، بهترین نام "Full_Adder" خواهد بود. توجه داشته باشید که حتماً گزینهی "Add to project" انتخاب شده باشد.

New Source Wizard	
Select Source Type Select source type, file name and its location.	
 ✓ IP (CORE Generator & Architecture Wizard) ✓ Schematic ✓ User Document ✓ Verilog Module ✓ Verilog Test Fixture ✓ VHDL Module ✓ VHDL Library ✓ VHDL Package ✓ VHDL Test Bench ✓ Embedded Processor 	Eile name: Full_Adder Logation: E:\ISE Projects\Four_Bit_Adder
	Add to project

شکل ۱٤. انتخاب نوع source و نامگذاری آن (از نوع ماژول)

با فشردن کلید "Next" به صفحهی بعد خواهید رفت. با توجه به اینکه در مرحلهی قبل، نوع source یک ماژول انتخاب شده است، صفحهای به شما نمایش داده خواهد شد که میتوانید پورتهای ورودی و خروجی ماژول خود را مشخص کرده و نرمافزار یک کد اولیهی مناسب به صورت خودکار برای شما تولید کند (شکل ۱۵). از آنجایی که پورتها را هنگام توصیف به صورت دستی در کد خواهیم نوشت از این بخش عبور میکنیم.

> New Source V	Vizard						×
← Define Module Specify port	s for module.						
Entity name	Full_Adder						
Architecture name	Behavioral						
	Port Name	Directio	on	Bus	MSB	LSB	^
		in	\sim				
		in	\sim				
		in	\sim				
		in	\sim				
		in	\sim				
		in	\sim				
		in	\sim				
		in	\sim				
		in	\sim				
		in	\sim				~
More Info			< <u>B</u> a	ck	<u>N</u> ext >	Cance	el

شکل ۱۵. مشخص کردن پورتهای ماژول در حال ساخت

با گذر از این صفحه، در صفحهی بعد، خلاصهای از source ایجاد شده به شما نمایش داده خواهد شد. در صورت تأیید کلید "Finish" را انتخاب کنید تا source مورد نظر ایجاد و به پروژه اضافه شود. پس از ایجاد source، فایل آن به پنجرهی طراحی پروژه ا ضافه خواهد شد که با دو بار کلیک بر روی آن میتوانید آن را باز کنید. توجه شود که پس از ایجاد source، فایل به صورت خودکار باز خواهد شد و میتوانید شروع به توصیف طرح کنید (شکل ۱۲).

دومین source که احتمالاً به آن نیاز پیدا خواهید کرد، source آزمایش و شـبیهسـازی مدار اسـت که در بخش شـبیهسـازی رفتاری (بخش ۸)، نحوهی ایجاد و استفاده از آن به صورت کامل توضیح داده خواهد شد و فعلاً از آن گذر میکنیم.

پس از آنکه تو صیف طرح انجام شد و به کمک شبیه سازیهای رفتاری و زمانی از صحت عملکرد آن مطمئن شدید، باید فایل محدودیتهای پیادهسازی را به پروژه اضافه کنید. برای این کار، دوباره از همان محل شکل ۱۳ یک source جدید به پروژهی خود اضافه کنید، با این تفاوت که نوع آن را باید از نوع "Implementation Constraints File" انتخاب نمایید (مطابق شکل ۱۷).

_						
ISE Project Nav File Edit V	vigator (P.20131013) - E:\ISE Project liew Project Source Process	ts\Four_Bit_Adder\Four_Bit_Adder.xise - [Fu Tools Window Layout Help	ull_Adder.vhd]			- 0 ×
Pile Edt V Despring Image: State of the state of	iew Project Source Process Project Source Process Implementation Bit, Adder ->> Zagi Add	Tools Window Lyout Height 2	Constraints of the second	if using d values if instantiating		
		34 <				• •
Contole		Ful_Adder	vhd 🛛 🔀	Design Summary	×	÷□ēx
Started :	"Launching ISE Text Edi	itor to edit Full Adder.vhd".				
Launching	Design Summary/Report V	Viewer				·
Console	Errors 🧘 Warnings 🙀 Find	d in Files Results				
	> New Source	e Wizard e Type surce type, file name an	d its location.			×
	BMM File ChipSco IP (CORE MEM File Schemat User Doc Verilog N Verilog T VHDL M VHDL Lit P VHDL Lit P VHDL Te Embedd	e pe Definition and C entation Constraints E Generator & Archi e tic cument Module Test Fixture lodule brary ackage est Bench led Processor	onnection File <mark>; File</mark> tecture Wizard)	Eile name: Full_Adder_icf Logation: E:\ISE Projects\Full_Adde Add to project	łf	
	More Info				<u>N</u> ext >	Cancel

شکل ۱۷. انتخاب نوع source و نام گذاری آن (از نوع محدودیت پیادهسازی)

پس از پایان توصیف طرح، زمان سنتز آن است. برای این کار souceی که قصد سنتز آن را دارید از پنجرهی طراحی انتخاب نمایید. سپس در پنجرهی فرآیند بر روی گزینهی سنتز (شکل ۱۸) کلیک راست کرده و گزینهی "Run" را انتخاب نمایید. در صورت موفقیت آمیز بودن فرآیند سنتز، یک علامت سبز در سمت چپ این گزینه نمایان خواهد شد. در صورتی که این علامت به رنگ نارنجی یا قرمز بود، به ترتیب به معنای اخطار و خطا می باشد.



در نظر داشته باشید که برای سنتز و پیاده سازی یک source، باید آن source به عنوان Top Module طرح شما انتخاب شده باشد. در غیر این صورت، گزینه های سنتز و پیاده سازی در پنجره ی فرآیند نمایش داده نخواهند شد و تنها گزینه هایی مشابه شکل ۱۹ خواهید دید.



شکل ۱۹. پنجرهی فرآیند برای source غیر Top Module

بـرای انتخـاب یـک source بـه عنـوان Top Module، مطـابق شـکل ۲۰ بـر روی آن source کلیـک راسـت کـرده و گزینـهی "Set as Top Module" را انتخـاب نماییـد. (مفهـوم Top Module تنهـا مربـوط بـه زمـانی اسـت کـه چنـدین source از نوع ماژول در طرح شما وجود داشته باشد.)



شکل ۲۰. انتخاب یک source به عنوان Top Module

همانطور که میدانید، خروجی و نتیجهی عمل سنتز، اصطلاحاً یک Netlist میباشد که نمایشی از نحوهی پیادهسازی طرحی است که کد آن به یکی از زبانهای توصیف سختافزار نوشته شده است. Netlist در نرمافزار ISE به دو شکل مختلف در دسترس است: شماتیک سطح انتقال ثبات و شماتیک تکنولوژی.

در شماتیک سطح انتقال ثبات، طراحی سطح گیت متناظر با کد نمایش داده می شود. در حالی که در شماتیک تکنولوژی، پیاده سازی واقعی طرح بر روی یک ترا شهی FPGA یا CPLD (یا هر ترا شهای که در ابتدای ساخت پروژه انتخاب کردید) نمایش داده خواهد شد. به این معنی که اگر طرح برای یک FPGA بر مبنای LUT سنتز شده است، آن طرح چگونه به کمک LUT ها پیاده سازی می شود. توجه کنید که شماتیک تکنولوژی، نمایشی از پیاده سازی نهایی بر روی FPGA نیست و فرآیندهایی مانند جزءبندی، جایابی، و مسیریابی بر روی آن انجام نشده است. بلکه تنها مشخص شده است که این پیاده سازی نیاز به چه منابعی و با چه اتصالاتی دارد.

برای نمایش Netlist طرح، ابتدا بر روی علامت مثبت در کنار گزینهی ســـنتز در پنجرهی فرآیند کلیک کنید تا گزینههای بیشتر برای شما نمایش داده شود. سپس بر روی نوع شماتیک مورد نظرتان دو بار کلیک کنید (شکل ۲۱).



شکل ۲۱. نمایش Netlist طرح پس از سنتز

پس از دو بار کلیک بر روی هرکدام از دو نوع شماتیک، پنجرهی شکل ۲۲ نمایان خواهد شد. در این پنجره دو انتخاب دارید که می توانید مشخص کنید آیا شماتیک را برای کل طرح ببینید یا برای قسمتی محدود و مشخص شده از آن.



شکل ۲۲. انتخاب نوع نمایش شماتیک

در صورتی که گزینهی دوم را انتخاب کنید، مستقیماً صفحهی نمایش شماتیک باز خواهد شد و شما تمامی اجزاء را به صورت کامل، مشابه شکل ۲۳ که برای یک تمام جمع کننده است، مشاهده خواهید کرد. ممکن است بخشهایی از طرح را به صورت یک بلوک ببینید، برای دقیقتر شدن و باز کردن هر یک از این بخشها، می توانید بر روی آن بخش دو بار کلیک کنید.



شکل ۲۳. نمایش شماتیک کامل سطح انتقال ثبات برای یک تمام جمعکننده

اما در صورت انتخاب گزینه یاول، صفحه ی دیگری به شما نشان داده می شود تا انتخاب کنید که کدام یک از اجزاء طرح در شماتیک نمایش داده شوند (کدام سیگنالها یا پورتها یا...). برای این کار، هر کدام از اجزائی را که نیاز دارید در شماتیک نشان داده شوند از سمت چپ (شکل ۲۵) انتخاب کرده و با فشردن کلید "<- Add" آنها را به شماتیک اضافه کنید. پس از اینکه تمام اجزاء را اضافه کردید بر روی گزینه ی" Create Schematic" کلیک کنید تا شماتیک برای شما نمایش داده شود. در این نوع نمایش نیز می توانید بر روی هر بخش که به صورت بلوک نمایش داده شده است، دو بار کلیک کنید تا به صورت دقیق تر نشان داده شود. همچنین اگر بر روی جزئی که در صفحه ی شکل ۲۶ به شماتیک اضافه نکرده بودید دو بار کلیک کنید، آن جزء نیز به صورت خودکار به شماتیک اضافه خواهد شد.



شکل ۲٤. انتخاب اجزاء برای نمایش در شماتیک م*حدو*د تکنولوژی

در زمان استفاده از نمایش شماتیک تکنولوژی، میتوانید با دو بار کلیک بر روی هر یک از LUT ها، معادله، جدول در ستی، جدول کارنو، و مدار سطح گیت تابعی که در آن LUT پیادهسازی شده است را مشاهده کنید.

۷. پیادهسازی (ترجمه – جایابی – مسیریابی)

پس از آنکه Netlist طرح تو صیف شده، تو سط مرحلهی سنتز مشخص شد، باید پیاده سازی بر روی ترا شهی مورد نظر صورت گیرد. برای این کار، مانند سنتز کردن، ابتدا Source مورد نظر را از پنجرهی طراحی انتخاب نمایید. سپس بر روی گزینهی "Implement Design" در پنجرهی فرآیند (شکل ۲۵) دو بار کلیک کرده و منتظر ظاهر شدن علامت تیک سبز در سمت چپ آن بمانید.



شکل ۲۵. پیادهسازی طرح در پنجرهی فرآیند

با انجام عمل پیاده سازی به صورت فوق، تمامی مراحل پیاده سازی به صورت خودکار تو سط نرمافزار انجام خواهد شد. این مراحل میتوانند به صورت دستی تو سط نرمافزارهایی مثل FPGA Editor و PlanAhead که همزمان با نصب نرمافزار ISE نصب میشوند نیز انجام پذیرند که در این نسخه از آموزش به آنها اشارهای نخواهد شد.

۸. شبیهسازی رفتاری

اولین قدم برای آنکه بتوانید طرح خود را شـبیهسازی کنید، نوشـتن فایل آزمایش طرح، که معمولاً به عنوان میز آزمایش نیز شناخته می شود، خواهد بود. برای این کار، باید یک source از نوع "VHDL Test Bench" برای ماژولهای توصیف شده به زبان VHDL، و یا از نوع "Verilog Test Fixture" برای ماژولهای توصیف شـده به زبان Verilog در پروژهی خود ایجاد کنید (در صورتی که نمیدانید چگونه این کار را انجام دهید به بخش ۵ مراجعه نمایید). پس از فشردن کلید "Next"، از شما درخواست می شـود تا ماژولی که قصـد نوشـتن Test Bench برای آن را دارید انتخاب کنید. با انتخاب ماژول مورد نظر،

در پایان این مراحل، فایل آزمایش برای ماژول مورد نظر ایجاد شده و در پنجرهی فضای کار باز می گردد، اما در پنجرهی طراحی دیده نخواهد شد. برای مشاهده و دستر سی به فایلهای آزمایش و شبیه سازی پروژه، باید مشابه شکل ۲٦، بخش "View" در پنجرهی طراحی را از "Implementation" به "Simulation" تغییر دهید. (برای دیدن فایلهای اصلی پروژه مانند ماژولها، دوباره گزینهی "Implementation" را انتخاب کنید.)



از آنجایی که پنجرهی کنسول تنها با هر بار ذخیرهی فایل، خطاها و هشدارها را نمایش میدهد، لازم است فایلهای طرح خود را مرحله به مرحله به کمک Ctrl + S ذخیره کنید تا بتوانید بازخوردهای نرمافزار را ببینید. اگر فایل آزمایشی که به صورت خودکار توسط نرمافزار برای ماژول انتخابی شما تولید شد ذخیره نمایید، احتمالاً مشاهده خواهید کرد که در پنجرهی کنسول، خطاهای شکل ۲۷ نمایش داده شده است.



شکل ۲۷. خطاهای موجود در فایل آزمایش ایجاد شده به صورت خودکار توسط نرمافزار برای ماژول تمامجمعکننده

دلیل وجود این خطاها، تولید خودکار قطعه کدهای مربوط به ایجاد سیگنال ساعت در فایل آزمایش است. در صورتی که ماژول در حال آزمایش دارای سیگنال ساعت باشد، پورت ساعت به صورت خودکار تو سط نرمافزار شناخته خواهد شد و خطایی در کد آزمایش وجود نخواهد داشت (برای پورتهایی با نامهای مشابه clock یا clok). اما در صورتی که این طرح فاقد پورت ساعت باشد (مانند تمام جمع کننده)، باید قطعه کدهای مربوط به سیگنال ساعت به صورت دستی حذف شوند. برای این کار قطعه کدهای زیر را از فایل آزمایش حذف کنید:

پس از انجام مراحل فوق و نو شتن متن فایل آزمایش، باید مدار را شبیه سازی و صحت خروجیها را به کمک شکل موج آنها بررسی کنید. مانند انجام عملیات سنتز و پیاده سازی، فایل آزمایش را از پنجره ی طراحی انتخاب کنید (این بار در حالت شبیه سازی که در شکل ۲٦ نشان داده شد). سپس برای آنکه این شبیه سازی یک شبیه سازی رفتاری باشد، بخش مشخص شده در شکل ۲۸ را بر روی "Behavioral" قرار داده و سپس در پنجره ی فرآیند، قسمت های مشخص شده در شکل ۲۹ را به ترتیب اجرا کنید.



در صورت موفق آمیز بودن شبیهسازی، پنجرهای جدید بر روی سیستم شما باز خواهد شد که شکل موج را نشان میدهد. این پنجره همان نرمافزاری است که آن را هنگام ساخت پروژه به عنوان شبیهساز انتخاب کردید (که در این پروژه، نرمافزار ISIM انتخاب شد). استفاده از امکانات نمایشگر شکل موج ISIM در بخش مربوطه (بخش ۱۰) توضیح داده خواهد شد.

۹. شبیهسازی زمانی

شبیه سازی زمانی در نرمافزار ISE، بعد از هر سه مرحله از پیاده سازی یعنی Map ، Translate، و Route در دسترس است و می توانید بسته به نیازتان، شکل موج را پس از هر یک از این مراحل مشاهده کنید. برای انجام شبیه سازی زمانی باید کاملاً مشابه شسبیه سازی رفتاری عمل کنید. با این تفاوت که هنگام مشخص کردن نوع شسبیه سازی، به جای انتخاب گزینه ی Behavioral"، یکی از گزینه های دیگری که در شکل ۳۰ نمایش داده شده است انتخاب کنید.



۱۰. استفاده از نمایشگر شکل موج نرمافزار Xilinx ISIM

هنگامی که هر کدام از انواع شـبیهسـازی را انجام میدهید، در صـورتی که در زمان ایجاد پروژه، نرمافزار ISIM را به عنوان شبیهساز انتخاب کرده باشید، پنجرهای مشابه شکل ۳۱ برای شما باز خواهد شد.

ISim (P.20131013) - [Default.wcfg]													- 0	X I
File Edit View Simulation Wi	ndow Layout Help	>												_ 8 ×
🗋 🆻 🖥 😓 🕺 🖓 🖻 🗖 🗙 🖉	🔊 🖂 🖓 🐼	110 5	809	1 12 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	🏓 🗟 🗠 唑	101	(🖬 🕨)	X 1.00us 🗸 🔙	🗔 Re-launch					
Instances and Processes ++	Objects	++ 🗆	8 × 🍠							-			1,000,000 ps	~
	Simulation Objects for	full_adder_tb												
Instance and Denser Manage		3 15 🔛	8	Name	Value	999,99	⁴ P ⁶ 9	199,995 ps	999,996 ps	999,997 ps	999,998 ps	999,999 ps	1,000,000 ps	1,000
Instance and Process Name	Object Name	Value		46 a	1									
std_logic_1164 s	t lla a	1		lla cin	1	_								
	15 b	1		14 s	1									
	lia cin Lia s	1	1	1 cout	1									
	1 cout	1	-											
			-											
			I											
			1											
			<u> </u>											
			3U											
									1	1				
						X1: 1,000,	00 ps							
< >			<	>	< >	<								> v
🐣 Instances 陆 Memory 📔 Source			> 700		Default.wc	g								
Console														↔ 🗆 🗗 ×
ISim R20131013 (signature 0x7708f090)														
This is a Full version of ISim. Time resolution is 1 ps														
Simulator is doing circuit initialization process.														
ISim>														
🖾 Guuria 🥅 Gaughting Log	Branch and inter	in Eine Bassahr	Canada Danada											
Console Compliation Log	preskpons (0) Find	in rike kepülts Egg	Search Results											
							_						Sim Time	: 1,000,000 ps

شکل ۳۱. محیط کار نرمافزار ISIM

از آنجایی که معمولاً مدت زمانی که برای هر مقدار ورودی در هنگام نو شتن کد آزمایش در نظر گرفته می شود بسیار اندک است، لازم است بر روی شکل موج زوم کنید تا بتوانید تغییرات مقادیر را مشاهده کنید. شکل ۳۲ بخشی از نوار ابزار در این نرمافزار شبیهساز را نشان میدهد که می توانید از آن برای کاربری راحت تر از نرمافزار استفاده کنید.



شکل ۳۲. بخشی از نوار ابزار نرمافزار ISIM

با استفاده از کلیدهای مشخص شده در شکل ۳۲، میتوانید به ترتیب از سمت چپ، بر روی شکل موج زوم کنید، زوم را کاهش دهید، و شکل موج را به صورت خودکار به اندازهای در بیاورید که تمام مقادیر ورودیای که برای آن در نظر گرفتهاید در پنجرهی نمایش شکل موج جای بگیرند.

پس از فشردن کلید سوم، شکل موج به صورت شکل ۳۳ نمایش داده خواهد شد. در بخش شمارهی ۱ از این شکل، سیگنالهای ماژول'در حال شبیه سازی قرار گرفتهاند. همچنین در بخش شمارهی ۲، مقادیر لحظهای هر یک از این سیگنالها در زمانی که خط زمانی زرد رنگ در بخش ۳ بر روی آن قرار گرفته است نشان داده شده است.



شکل ۳۳. نمونهای از یک شبیهسازی توسط نرمافزار ISIM

شـما می توانید برای مشـاهده و بررسـی راحت تر شـکل موج، تغییراتی در نحوهی نمایش آن برای هر سـیگنال ماژول اعمال نمایید (تغییراتی مانند تغییر رنگ، مبنای نمایش مقدار پورت، و...). برای دستر سی به این امکانات، بر روی سیگنال مورد نظر (از بخش ۱ در شکل ۳۳) کلیک راست کرده و مطابق با نیاز خود تغییرات را اعمال کنید. (در ادامه و در شکل ۳٤ به توضیح موارد کاربردی در منوی تنظیمات سیگنالها پرداخته شده است.)

^۱ منظور از سیگنال در این بخش، الزاماً سیگنالهای درونی که در زبان VHDL ا ستفاده می شوند نمی با شد و این مفهوم شامل پورتهای ورودی، خروجی و حتی متغیرها نیز میشود.



شکل ۳٤. منوی تنظیمات یک سیگنال در نرمافزار ISIM

Radix: مبنای ریاضی نمایش مقدار سیگنال (قابل استفاده تنها برای سیگنالهای چند بیتی) Signal Color: رنگ موج سیگنال Riverse Bit Order: تغییر ترتیب ارزش گذاری (Little-endian یا Big-endian) Go To Source Code: مراجعه به قسمتی از کد آزمایش که این سیگنال در آن تعریف شده است. Force Constant: تغییر مقدار سیگنال به یک مقدار ثابت به صورت اجباری (بدون تغییر در کد آزمایش) Force Clock: تغییر مقدار سیگنال به یک سیگنال پالس ساعت به صورت اجباری (بدون تغییر در کد آزمایش)

۱۱. گزارش طراحی

نرمافزار ISE این امکان را به کاربر میدهد که همواره در هر کدام از مراحل طراحی و یا پیادهسازی، خلاصه و گزارشی از طرح خود دریافت کند. در این گزارش اطلاعات بسیار مفیدی راجع به طراحی به کاربر داده می شود که نمونههایی از این اطلاعات عبارتند از: شرح منابع مصرف شده در تراشه، تأخیر بین هر دو واحد، مسیر حیاتی و میزان تأخیر آن، و غیره (شکل ۳۵). معمولاً در هنگام ساخت پروژه، این پنجره به صورت خودکار در بخش فضای کار باز می گردد. با این حال برای مشاهدهی این گزارش، در هر زمان تنها کافیست بر روی گزینهی "Besign Summary/Reports" در پنجره ی فرآیند (شکل

<u>~</u>	Design Overview		Full_Ad	der Project	Status (02	2/14/2020 - 10:16:19)					1 ^
	Summary IOB Properties	Project File:	Full_Adder.xise		Parser Er	rors:	1	No Errors			1
	— Module Level Utilization	Module Name:	Full_Adder		Implemen	itation State:		Placed and F	Routed		1
\odot	Timing Constraints	Target Device:	xc6sbx9-2tqg144		•E	rrors:					1
Ç 5	Pinout Report Clock Report	Product Version:	ISE 14.7		•w	arnings:					1
HTHE	Static Timing	Design Goal:	Balanced		• R	outing Results:		All Signals C	ompletely Routed		10
-	Errors and Warnings	Design Strategy:	Xilinx Default (unlocked)		•T	iming Constraints:					1
20	Parser Messages	Environment:	System Settings		• Fi	inal Timing Score:		0 (Timing R	eport)		
<i>i</i> A)	Synthesis Messages					,					4
	Map Messages										
	 Place and Route Messages 		Dev	ice Utilizatio	on Summar	Y				E	1
	- 📄 Timing Messages	Slice Logic Utilization		Used		Available	Utilization		Note(s)		
	Bitgen Messages	Number of Slice Registers			0	11,440		0%			
	Detailed Reports	Number of Slice LUTs			1	5,720		1%			
	- 📄 Synthesis Report	Number used as logic			1	5,720		1%			
	Translation Report	Number using O6 output only			0						1
	Map Report Diace and Route Report	Number using O5 output only			0						1
	Post-PAR Static Timing Report	Number using O5 and O6			1						1
	C. Dawyord Provention	Number used as ROM			0						1
	Design Properties	Number used as Memory			0	1,440		0%			1
	Optional Design Summary Contents	Number of occupied Slices			1	1,430		1%			
	Show Clock Report	Number of MUXCYs used			0	2,860		0%			1
	Show Failing Constraints	Number of LUT Flip Flop pairs used			1						
	Show Errors	Number with an unused Flip Flop			1	1		100%			1
		Number with an unused LUT			0	1		0%			1
		Number of fully used LUT-EE pairs			-	1		0%			
		Number of slice register sites lost				11.440		0%			-
		to control set restrictions			Ĭ	11,440		0,0			~
Σ	De	sign Summary									

شکل ۳۵. پنجرهی گزارش طراحی در فضای کار





شکل ۳٦. مشاهدهی گزارش طراحی از طریق پنجرهی فرآیند

۲. تولید فایل برنامهریزی

تمامی اطلاعات مورد نیاز برای برنامهریزی یک تراشـــهی برنامهپذیر (FPGA یا CPLD)، در یک فایل دودویی، که به عنوان فایل جریان بیتی^انیز شناخته می شود، ذخیره میگردد. پس از انجام تمامی مراحل طراحی و آزمایش، لازم ا ست که این فایل را تولید و برای انتقال به تراشه ذخیره کنید.

برای تولید فایل جریان بیتی، پس از ایجاد source محدودیتهای پیادهسازی (همانطور که در بخش ۵ گفته شد)، تنها کافی است بر روی گزینهی "Generate Programming File" در پنجرهی طراحی دو بار کلیک کنید (شکل ۳۷). در صورت موفقیت آمیز بودن، یک فایل همنام با نام Top Module پروژه و با پسوند "bit." در محل پروژه ایجاد و علامت سبز در کنار این گزینه ظاهر خواهد شد.



شکل ۳۷. تولید فایل دودویی برنامهریزی از طریق پنجرهی فرآیند

¹ Bitstream

۱۳. برنامهریزی تراشه به کمک نرمافزار ISE iMPACT

برای انتقال فایل جریان بیتی به تراشه، می توانید از نرمافزار iMPACT که همزمان با نصب نرمافزار ISE نصب می شود، استفاده کنید. برای این کار، ابتدا تراشهی خود را با استفاده از پروگرمر به کامپیوتر متصل نموده و در صورت نیاز درایورهای آن را ذصب کنید (معمولاً درایورهای رایج همزمان با ذصب نرمافزار ذصب می شوند). پس از آنکه از شناخته شدن ترا شه توسط کامپیوتر اطمینان حاصل کردید، نرمافزار iMPACT را باز کنید. قبل از باز شدن نرمافزار، از شما راجع به ذخیره ی خودکار پروژه پرسیده خواهد شد که با توجه به نیازتان باید یک گزینه را انتخاب نمایید. پس از گذشتن از این صفحه، بسته به انتخابتان، صفحهی دومی برای شما باز می شود. با فشردن کلید "Cancel" آنها را ببندید (این تنظیمات در داخل برنامه نیز در د سترس ه ستند و نیازی به انجام این تنظیمات در مرحله یاول نیست). پس از انجام مراحل قبلی، وارد صفحه یا صلی نرمافزار می شوید که مشابه شکل ۳۸ خواهد بود.

SE IMPACT (P.20131013)	- 0 X
File Edit View Operations Output Debug Window Help	
معر علي معرفي م ه ه WebTalk Data WACT Processes	فضای کار
Console	+ D & X
Welcome to 1MMACT MMRACT Version: 14.7 Project: C:\Users\aabba\Desktop\\auto_project.ipf created.	م پنجرہی کنسول م
Console Vices a vernigs	nininin

شکل ۳۸. صفحهی اصلی نرمافزار iMPACT و بخشهای آن

برای شروع به برنامهریزی تراشه، از قسمت جریان iMPACT بر روی گزینهی "Boundary Scan" دو بار کلیک کنید (شکل ۳۹) تا پنجرهی مربوط به آن در بخش فضای کار باز شود. حال مشابه شکل ٤٠ بر روی پنجرهی باز شده در فضای کار کلیک راست کرده و گزینهی "Initialize Chain" را انتخاب کنید.



شکل ۲۰. جستجوی زنجیره در برنامهی iMPACT

پس از انتخاب گزینهی "Initialize Chain"، در صورت صحیح بودن اتصالات و نصب بودن درایورها، صفحهی شکل ٤۱ نمایش داده خواهد شد که باید انتخاب کنید آیا قصد Verify شدن تراشه پس از برنامهریزی را دارید یا خیر. به عنوان مثال، در این شکل تنها یک ترا شهی ا سپارتان ٦ به زنجیرهی برنامهریزی متصل شده است و گزینهی "Verify" برای آن انتخاب نشده است (می توان چند تراشه را در یک زنجیره به هم متصل نمود و آنها را به صورت همزمان برنامهریزی کرد. برای اطلاعات بیشتر، دربارهی زنجیرهی JTAG مطالعه کنید).

ategory Boundary-Scan Device 1 (FPGA xc6slx9)	vice	Property Name Value	×	
1		/erify		
				-
		OK Cancel Apply He	p	6

شکل ٤١. تنظیمات برنامهریزی تراشههای متصل

پس از انتخاب گزینهی تأیید و خروج از پنجرهی شکل ٤١، دوباره به صفحهی ا صلی نرمافزار باز خواهید گشت که در آن دستگاه/دستگاههایی که توسط پروگرمر به کامپیوتر متصل است، مانند شکل ٤٢ نمایش داده خواهند شد. همانطور که در این شکل مشاهده میکنید، در این لحظه یک تراشه با شناسهی XC6SLX9 به دستگاه متصل است.



میدانیم که اکثر تراشههای FPGA برای برنامهریزی از حافظههای فرار استفاده میکنند، به همین دلیل همواره در کنار آنها از یک حافظهی غیر فرار نیز استفاده میشود تا فایل برنامهریزی را ذخیره کرده و در هربار روشن شدن دستگاه، آن را بر روی تراشه بارگذاری کند. در نتیجه در هنگام برنامهریزی تراشه، فایل جریان بیتی باید هم به تراشه و هم به حافظهی غیر فرار منتقل شود (انتقال همزمان به این دو تراشه، به کمک زنجیرهی JTAG امکانپذیر است). در این نسخه از آموزش به برنامهریزی حافظهی غیر فرار پرداخته نخواهد شد و فایل جریان بیتی تنها به خود تراشه منتقل می شود. برای این کار، بر روی تراشهی مورد نظر کلیک راست کرده و مطابق شکل ٤٣ گزینهی "Assign New Configuration File برای شما باز می شود. به آدرس ذخیرهی پروژه رفته و فایل جریان بیتی را انتخاب کنید. پس از آنکه فایل جریان بیتی را انتخاب کردید، از شما راجع به برنامهریزی حافظهی غیر فرار پرسیده می شود که آن را ببندید.



شکل ٤٣. انتخاب فایل برنامهریزی تراشه

پس از اینکه فایل برنامهریزی را مشخص کردید، دوباره بر روی تراشهی مورد نظر کلیک راست کرده و این بار مطابق شکل ٤٤ گزینهی "Program Succeed" را انتخاب کنید. در پایان در صورتی که خطایی رخ نداده باشد، پیغام "Program Succeed" بر روی فضای کار نمایش داده خواهد شد که نشان دهندهی موفقیتآمیز بودن برنامهریزی میباشد.



شکل ٤٤. برنامەريزى تراشە

This learning material has been developed for educational purposes provided to the students of the University of Sistan and Baluchestan, Iran at no cost. The trademarks, logos, service marks displayed, and the software used on this tutorial are the property of Xilinx or other third parties.

Last Edit	Version
March 2020	1.6

Special thanks to Dr. Mohammad Hossein Sargolzaei, Head of the Department of Computer Engineering, for his endeavor to help finalize and publish this document.

Please forward any feedback to the following email address: **ali.abbasi@pgs.usb.ac.ir**



University of Sistan and Baluchestan Faculty of Electrical and Computer Engineering

Xilinx ISE Design Suite v14.7 Tutorial

Author: Ali Abbasi